



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001052476 A**

(43) Date of publication of application: 23.02.01

(51) Int. Cl.

G11C 11/403

G11C 11/409

G11C 11/407

G11C 11/406

H03K 17/687

H03K 19/096

(21) Application number: 11222605

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: 05.08.99

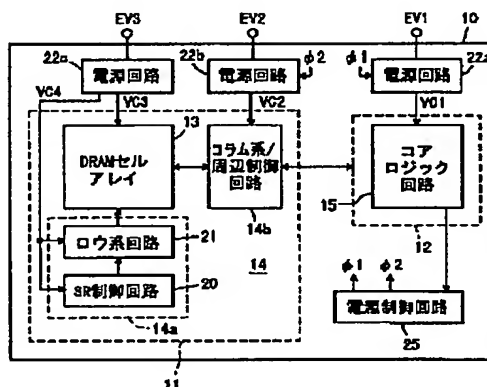
(72) Inventor: **HIDAKA HIDE TO**

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce current consumption at the time of a selfrefresh mode without disturbing high speed access operation.

SOLUTION: Power source circuits are controlled by a power source control circuit 25 so that power source voltage supply states of a power source circuit 22c generating power source voltage for a refresh system circuit 14a and a power source circuit 22b for a column system peripheral control circuit 14b at the time of a self-refresh mode are made different each other. At the time of a self-refresh mode, power source voltage is supplied to only a test refresh system circuit and refresh operation is performed.



COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-52476

(P2001-52476A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 1 1 C	11/403	G 1 1 C 11/34	3 6 3 M 5 B 0 2 4
	11/409	H 0 3 K 19/096	B 5 J 0 5 5
	11/407	G 1 1 C 11/34	3 5 3 E 5 J 0 5 6
	11/406		3 5 4 F
H 0 3 K	17/687		3 6 3 Z

審査請求 未請求 請求項の数25 O L (全 44 頁) 最終頁に続く

(21) 出願番号 特願平11-222605

(22) 出願日 平成11年8月5日 (1999.8.5)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 日高 秀人

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

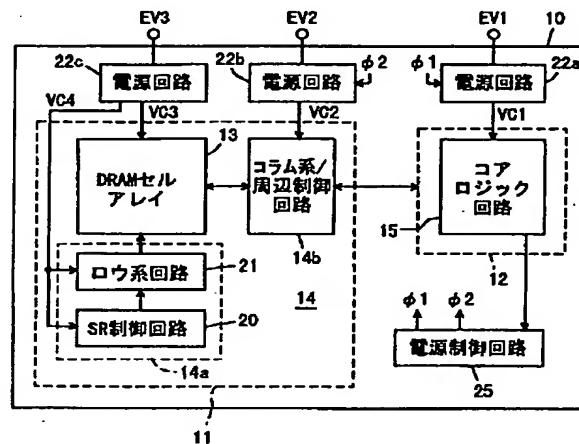
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 セルフリフレッシュモード時における消費電流を高速アクセス動作を損なうことなく低減する。

【解決手段】 リフレッシュ系回路 (14 a) に対する電源電圧を発生する電源回路 (22 c) およびコラム系/周辺制御回路 (14 b) に対する電源回路 (22 b) のセルフリフレッシュモード時における電源電圧供給状態を互いに異ならせるように電源制御回路 (25) により制御する。セルフリフレッシュモード時テストリフレッシュ系回路に対してのみ電源電圧を供給してリフレッシュ動作を実行させる。



【特許請求の範囲】

【請求項1】 記憶データが一定期間内にリフレッシュされる複数のメモリセル、

リフレッシュモード時、前記複数のメモリセルの記憶データのリフレッシュ動作を行なうためのリフレッシュ系回路、

前記リフレッシュ系回路と異なり、前記複数のメモリセルへのアクセスに関連する動作を少なくとも行なうための周辺回路、

前記リフレッシュ系回路へ動作電源電圧を供給するための第1の電源回路、

前記第1の電源回路と別に設けられ、前記周辺回路へ動作電源電圧を供給するための第2の電源回路、および動作モード指示信号にตอบสนองして、少なくとも前記第2の電源回路の電圧供給を調整するための電源制御回路を備え、前記電源制御回路は、前記動作モード指示信号が前記リフレッシュモードを指定するとき前記第1および第2の電源回路を互いに異なる電圧供給状態に設定し、かつ前記動作モード指示信号が前記リフレッシュモードと異なるノーマルモードを指定するとき前記第1および第2の電源回路を同一電圧供給状態に設定する手段を含む、半導体装置。

【請求項2】 前記第1の電源回路は、第1の電源供給ノードと第1の電源供給線の間に設けられる第1の絶縁ゲート型電界効果トランジスタを備え、

前記第2の電源回路は、第2の電源供給ノードと第2の電源供給線の間に設けられる第2の絶縁ゲート型電界効果トランジスタを備え、

前記電源制御回路は、前記動作モード指示信号が前記リフレッシュモードを指定するとき、前記第1の絶縁ゲート型電界効果トランジスタをオン状態に設定しかつ前記第2の絶縁ゲート型電界効果トランジスタをオフ状態に設定する手段を含む、請求項1記載の半導体装置。

【請求項3】 前記第2の電源回路は、電源供給ノードと電源供給線との間に設けられ、前記周辺回路に含まれる絶縁ゲート型電界効果トランジスタのしきい値電圧よりも絶対値の大きなしきい値電圧を有するリークカット用絶縁ゲート型電界効果トランジスタを備え、

前記電源制御回路は、前記動作モード指示信号が前記リフレッシュモードを指定するとき、前記リークカット用絶縁ゲート型電界効果トランジスタをオフ状態に設定する、請求項1記載の半導体装置。

【請求項4】 前記第2の電源回路は、電源供給ノードと電源供給線との間に設けられ、前記周辺回路に含まれる絶縁ゲート型電界効果トランジスタと同じしきい値電圧を有するリークカット用絶縁ゲート型電界効果トランジスタを備え、前記リークカット用絶縁ゲート型電界効果トランジスタは、オフ状態時のリーク電流量が前記周辺回路の総リーク電流量よりも小さくなるようにそのサイズが調整され、

前記電源制御回路は、前記動作モード指示信号が前記リフレッシュモードを指定するとき、前記リークカット用絶縁ゲート型電界効果トランジスタをオフ状態に設定する手段を含む、請求項1記載の半導体装置。

【請求項5】 前記第2の電源回路は、電源供給ノードと電源供給線との間に接続されるリークカット用絶縁ゲート型電界効果トランジスタを備え、

前記周辺回路は構成要素として絶縁ゲート型電界効果トランジスタを含み、

前記電源制御回路は、前記動作モード指示信号が前記リフレッシュモードを指定するとき、前記リークカット用絶縁ゲート型電界効果トランジスタを前記周辺回路の絶縁ゲート型電界効果トランジスタのオフ状態よりも深いオフ状態に設定するための手段を含む、請求項1記載の半導体装置。

【請求項6】 前記電源制御回路は、前記動作モード指示信号が前記リフレッシュモードを指定するとき、前記リークカット用絶縁ゲート型電界効果トランジスタのゲートへ、前記電源供給ノード上の電圧よりも絶対値の大きな電圧を印加する手段を含む、請求項5記載の半導体装置。

【請求項7】 前記電源制御回路は、前記動作モード指示信号にตอบสนองして、前記ノーマルモード時よりも前記リフレッシュモード時前記リークカット用絶縁ゲート型電界効果トランジスタのバックゲートへ印加される電圧の絶対値を大きくするための手段を含む、請求項5記載の半導体装置。

【請求項8】 前記第1の電源回路は、外部からの第1の電源電圧を受ける第1の電源供給ノードを備え、

前記第2の電源回路は、外部から与えられる第2の電源電圧を受ける第2の電源ノードと、

前記第2の電源ノードと前記周辺回路に結合される電源供給線との間に設けられるリークカット用絶縁ゲート型電界効果トランジスタを備え、

前記電源制御回路は、前記動作モード指示信号が前記リフレッシュモードを指定するとき、前記リークカット用絶縁ゲート型電界効果トランジスタをオフ状態に設定するための手段を含む、請求項1記載の半導体装置。

【請求項9】 前記第2の電源回路は、外部からの電源電圧と基準電圧とを比較し、該比較結果に従って内部電源電圧を生成する内部電源回路を備え、

前記電源制御回路は、前記動作モード指示信号が前記リフレッシュモードを指定するとき、前記基準電圧を前記外部電源電圧と異なる極性の電圧レベルに設定する手段を含む、請求項1記載の半導体装置。

【請求項10】 前記動作モード指示信号にตอบสนองして、前記リフレッシュ系回路が形成される半導体基板領域の電位を調整するためのウェル電位制御回路をさらに備え、前記ウェル電位制御回路は、前記動作モード指示信号が前記リフレッシュモードを指定するとき前記半導体

基板領域の電位の絶対値を前記ノーマルモード時よりも大きくするための手段を含む、請求項1または8に記載の半導体装置。

【請求項11】 前記複数のメモリセルへアクセスして受けたデータの処理または処理後のデータの格納を行なうためのロジック回路をさらに備え、

前記ウェル電位制御回路は、前記ロジック回路が形成される半導体基板領域の電位を、前記リフレッシュモード時、前記ノーマルモード時のそれよりも絶対値を大きくするための手段をさらに備える、請求項10記載の半導体装置。

【請求項12】 前記複数のメモリセルとデータの授受を行なうためのロジック回路と、

前記ロジック回路へ動作電源電圧を供給するための第3の電源回路をさらに備え、

前記電源制御回路は、前記動作モード指示信号が前記リフレッシュモードを指定するとき、前記ロジック回路への動作電源電圧の供給を停止するように前記第3の電源回路を制御する手段をさらに備える、請求項1記載の半導体装置。

【請求項13】 前記電源制御回路は、前記動作モード指示信号が前記リフレッシュモードを示すとき、前記周辺回路への動作電源電圧の供給を停止するように前記第2の電源回路のインピーダンスを大きくするための手段を備える、請求項10記載の半導体装置。

【請求項14】 記憶情報が一定期間内にリフレッシュされる複数のメモリセル、

電源ノードから電源電圧を受け、前記複数のメモリセルへのアクセス動作に関連する情報を格納するためのレジスタ回路、

前記レジスタ回路に対応して設けられ、前記レジスタ回路の記憶情報を保持するためのレジスタキャパシタ、および動作モード指示信号がリフレッシュモードを指定するとき、前記レジスタキャパシタの記憶情報を所定期間でリフレッシュするための制御回路を備える、半導体装置。

【請求項15】 前記制御回路は、前記動作モード指示信号が前記リフレッシュモードを指定するとき、前記所定期間で前記電源ノードから前記レジスタへ電源電圧を供給しかつ前記レジスタ回路を前記レジスタキャパシタと結合するための手段を含む、請求項14記載の半導体装置。

【請求項16】 前記所定期間は、前記複数のメモリセルの記憶情報のリフレッシュを行なう一定の周期と等しい、請求項15記載の半導体装置。

【請求項17】 前記制御回路は、前記リフレッシュモード時前記複数のメモリセルの選択されたメモリセルの記憶情報のリフレッシュが行なわれている間、前記電源ノードから前記レジスタ回路へ電源電圧を供給する、請求項16記載の半導体装置。

【請求項18】 前記複数のメモリセルの各々は、情報を記憶するためのメモリキャパシタを含み、

前記レジスタキャパシタは、前記メモリキャパシタのキャパシタ絶縁膜およびセルプレート電極と材料および膜厚の少なくとも一方が等しい、請求項14記載の半導体装置。

【請求項19】 所定の記憶容量を有する複数のメモリセルを含むメモリセルアレイを備え、前記複数のメモリセルの各々は、記憶データが所定期間内にリフレッシュされ、さらに動作モード指示信号がリフレッシュモードを指定するときに前記メモリアレイのリフレッシュを行なう領域を指定するリフレッシュ領域指定アドレスを格納する手段と、

前記動作モード指示信号が前記リフレッシュモードを指定するとき、前記リフレッシュ領域指定アドレスが指定する領域内のメモリセルのリフレッシュを行なうようにリフレッシュアドレスを発生するためのリフレッシュアドレス発生回路、

前記リフレッシュモード時、所定の周期で前記複数のメモリセルのリフレッシュを要求するリフレッシュ要求を出力するリフレッシュタイマ、および前記リフレッシュ要求に従って、前記リフレッシュアドレス発生回路からのリフレッシュアドレスに従って前記複数のメモリセルの選択されたメモリセルのリフレッシュを行なうためのリフレッシュ系回路を備える、半導体装置。

【請求項20】 前記複数のメモリセルは行列状に配列され、

前記メモリセルの行のうち、データ保持特性の劣るメモリセルが接続される特定の行に関連する特定アドレスを格納するアドレス格納手段をさらに備え、

前記リフレッシュ系回路は、前記特定アドレス格納手段の格納する特定アドレスに従って、前記特定の行のメモリセルのリフレッシュを他の行のメモリセルのリフレッシュの回数よりも多くするリフレッシュ調整手段を備える、請求項19記載の半導体装置。

【請求項21】 前記リフレッシュ調整手段は、前記リフレッシュタイマからのリフレッシュ要求が発生される前記所定期間よりも短い周期で前記特定の行に対するアドレスを選択状態に設定する手段を含む、請求項20記載の半導体装置。

【請求項22】 前記リフレッシュ調整手段は、前記リフレッシュアドレス発生回路からのリフレッシュアドレスと前記特定アドレス格納手段からの特定アドレスとに従って、前記特定の行と所定の関係のアドレスが前記リフレッシュアドレスにより指定されるとき、前記リフレッシュアドレスが指定する行および前記特定の行をとともにアドレス指定するためのアドレス変換手段を含む、請求項20記載の半導体装置。

【請求項23】 前記リフレッシュ領域アドレスに従って、前記リフレッシュタイマの前記所定の周期を調整す

るための手段をさらに備える、請求項19記載の半導体装置。

【請求項24】 前記動作モード指示信号に応答して、前記リフレッシュ系回路の動作タイミングを前記リフレッシュモード時と前記ノーマルモード時とで異ならせるための制御回路をさらに備える、請求項10記載の半導体装置。

【請求項25】 前記複数のメモリセルは行列状に配列され、

前記リフレッシュ系回路は、前記複数のメモリセルの列に対応して設けられ、活性化時対応の列のメモリセルデータの検知および増幅を行なうためのセンスアンプ回路をさらに備え、

前記制御回路は、前記動作モード指示信号が前記リフレッシュモードを指定するとき、前記センスアンプ回路の活性化タイミングを前記ノーマルモード時の活性化タイミングよりも遅らせるための手段を含む、請求項24記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関し、特に、保持データのリフレッシュが必要なダイナミック型半導体装置においてスリープモードまたはパワーダウンモードなどのデータ保持を行なうリフレッシュモード時における消費電流を誤動作を生じさせることなく低減するための構成に関する。より具体的には、ロジックとダイナミック・ランダム・アクセス・メモリとが同一半導体チップ上に集積化されたロジック混載メモリのリフレッシュモード時の消費電流を低減するための構成に関する。

【0002】

【従来の技術】従来のCMOS半導体装置においては、高密度高集積化のために、トランジスタサイズ、特にMOSトランジスタ（絶縁ゲート型電界効果トランジスタ）のゲート長が短くされる。このような微細化されたトランジスタの信頼性の確保および消費電力の低減のために、電源電圧が低下される。一方、高速動作のために、MOSトランジスタのしきい値電圧 V_{th} の絶対値を、動作電源電圧の低下に応じて小さくする必要がある。

【0003】しかしながら、MOSトランジスタは、オフ時においてもソース・ドレイン間にサブスレッショルド・リーク電流（以下、オフリーク電流と称す）と呼ばれる電流が流れる。しきい値電圧の絶対値を小さくした場合、このオフリーク電流が増加する。しきい値電圧の絶対値は、負の温度依存性を有しており、温度上昇とともに、その絶対値が小さくなるため、動作温度が高くなると、このオフリーク電流が増大し、大規模集積回路全体の直流電流を増加させる。特に、ダイナミック型半導体記憶装置において、スタンバイ状態時における電流

（スタンバイ電流）を増大させるという問題が生じる。

【0004】高速動作性を損なうことなくスタンバイ時の消費電流を低減するために、従来からたとえば特開平6-237164号公報および伊藤著、「超LSIメモリ」、1994、培風館発行などに示されるように、階層電源構成またはMT-CMOS（マルチスレッショルド-CMOS）構成が提案されている。

【0005】図60は、従来のMT-CMOS構成の一例を示す図である。図60においては、内部回路として、5段の縦列接続されるCMOSインバータIV1-IV5を示す。初段のインバータIV1へ与えられる入力信号INは、スタンバイサイクル時には、Lレベルである。CMOSインバータIV1~IV5は、それぞれ同一構成を有し、PチャネルMOSトランジスタPTとNチャネルMOSトランジスタNTを含む。これらのMOSトランジスタPTおよびNTは、しきい値電圧の絶対値が小さな低しきい値電圧（ $L-V_{th}$ ）MOSトランジスタである。

【0006】これらのインバータIV1~IV5に対し、電源電圧Vccを受ける主電源線1と、この主電源線1にリークカット用のPチャネルMOSトランジスタPQを介して結合されるサブ電源線3と、接地電圧Vssを伝達する主接地線2と、主接地線2に、リークカット用NチャネルMOSトランジスタNQを介して接続されるサブ接地線4が設けられる。リークカット用MOSトランジスタPQおよびNQは、そのしきい値電圧の絶対値が、MOSトランジスタPTおよびNTのしきい値電圧の絶対値よりも大きく設定される $M-V_{th}$ MOSトランジスタで構成される。

【0007】MOSトランジスタPQは、そのゲートに制御信号 ϕ を受け、MOSトランジスタNQはゲートに、制御信号 ϕ を受ける。制御信号 ϕ は、内部回路が動作するアクティブサイクル時にはHレベルとなり、内部回路が待機状態となるスタンバイサイクル時にはLレベルとなる。一方、制御信号 ϕ は、アクティブサイクル時にLレベルとなり、スタンバイサイクル時にHレベルとなる。

【0008】内部回路において奇数段のインバータIV1、IV3、およびIV5…は、PチャネルMOSトランジスタPTのソースが主電源線1に接続され、NチャネルMOSトランジスタNTのソースがサブ接地線4に接続される。偶数段のインバータIV2、IV4、…は、PチャネルMOSトランジスタPTのソースがサブ電源線3に接続され、NチャネルMOSトランジスタNTのソースが主接地線2に接続される。次に、この図60に示すMT-CMOS構成の動作について図61に示す信号波形図を参照して簡単に説明する。

【0009】スタンバイサイクル時には、制御信号 ϕ はLレベルであり、また制御信号 ϕ はHレベルである。また、入力信号INは、Lレベルである。この状

態においては、リークカット用MOSトランジスタPQおよびNQがオフ状態となる。一方、奇数段のインバータIV1、IV3およびIV5は、その入力信号INがLレベルであるため、内部においてPチャネルMOSトランジスタPTがオン状態、NチャネルMOSトランジスタNTがオフ状態となる。PチャネルMOSトランジスタPTは、主電源線1にそのソースが接続されており、一方NチャネルMOSトランジスタNTは、サブ接地線4にそのソースが接続されている。PチャネルMOSトランジスタPTは、対応の出力ノード（ドレイン）へ主電源線1上の電源電圧Vccレベルの電圧を伝達すると、ソースおよびドレイン間電圧が等しくなり、非導通状態となる。一方、NチャネルMOSトランジスタNTは、ゲートにLレベルの信号を受けており、オフリーク電流を生じさせる。このサブ接地線4は、比較的高いしきい値電圧 $M-V_{th}$ を有するリークカット用MOSトランジスタNQを介して主接地線2に接続されている。したがって、インバータIV1、IV3およびIV5…からのオフリーク電流がサブ接地線4に電流が流れても、このリークカット用MOSトランジスタNQはこれらのオフリーク電流をすべて放電することができず、サブ接地線4上の電圧レベルSVssが接地電圧Vssよりも高くなる。このサブ接地線4上の電圧SVssは、リークカット用MOSトランジスタNQの放電するリーク電流量と、内部回路に含まれるインバータ段からのオフリーク電流の総和との関係により最終的に決定される。サブ接地線4上の電圧SVssが接地電圧Vssよりも高くなると、奇数段のインバータIV1、IV3、IV5、…においてNチャネルMOSトランジスタNTのゲート-ソース間が逆バイアス状態に設定され、オフリーク電流がさらに低減される。

【0010】一方、偶数段のインバータIV2、IV4、…においては、入力信号がHレベルである。これらの偶数段のインバータIV2、IV4、…においては、PチャネルMOSトランジスタPTのソースがサブ電源線3に接続され、NチャネルMOSトランジスタNTのソースが主接地線2に接続される。したがって、偶数段のインバータIV2、IV4、…においては、NチャネルMOSトランジスタはソースおよびドレインが接地電圧Vssレベルとなって非導通状態となり、オフリーク電流は生じない。一方、PチャネルMOSトランジスタPTが、オフリーク電流を生じさせる。主電源線1とサブ電源線3の間には、比較的しきい値電圧の絶対値（ $M-V_{th}$ ）大きいリークカット用MOSトランジスタPQが設けられている。したがって、この主電源線1からサブ電源線3へのリーク電流量がリークカット用MOSトランジスタPQにより決定され、サブ電源線3上の電圧SVccは、電源電圧Vccレベルよりも低下する。このサブ電源線3上の電圧SVccの電圧レベルは、最終的にリークカット用MOSトランジスタPQの供給す

るリーク電流と偶数段のインバータIV2、IV4、…におけるオフリーク電流の総和との関係により決定される。電圧SVccが電源電圧Vccよりも低くなると、偶数段のインバータIV2、IV4…において、PチャネルMOSトランジスタPTのゲート-ソース間が逆バイアス状態に設定され、オフリーク電流がさらに低減される。

【0011】アクティブサイクル時においては、制御信号φがHレベルとなり、一方、制御信号φがLレベルとなり、リークカット用MOSトランジスタPQおよびNQがオン状態となり、主電源線1がサブ電源線3に接続され、主接地線2がサブ接地線4に接続される。これにより、サブ電源線3上の電圧SVccが電源電圧Vccレベルとなり、またサブ接地線4上の電圧SVssが接地電圧Vssレベルとなる。このアクティブサイクル時において、入力信号INが動作状態に応じて適当に変化する。内部回路を構成するインバータIV1～IV5、…のMOSトランジスタは低いしきい値電圧MOSトランジスタであり、高速で動作する。このとき、リークカット用MOSトランジスタPQおよびNQは、その電流供給能力は、この内部回路の動作を十分に保証することができるように大きい値に設定される。

【0012】電源線を主電源線およびサブ電源線および接地線を主接地線、サブ接地線との階層構造とすることにより、スタンバイサイクル時において、電源線/接地線のインピーダンスを高くしてリーク電流を低減し、一方、アクティブサイクル時においては、この電源線/接地線のインピーダンスを小さくして、内部回路の低いしきい値電圧MOSトランジスタにより高速動作を実現する。これにより、スタンバイサイクル時の消費電流を低減しかつ高速動作する半導体回路装置を実現することを図る。

【0013】

【発明が解決しようとする課題】従来のMT-CMOS構成の場合、アクティブサイクルが始まるときに、制御信号φおよびφがそれぞれHレベルおよびLレベルへ駆動され、応じて図60に示すリークカット用MOSトランジスタPQおよびNQがオン状態となる。したがって、アクティブサイクルが始まってから、サブ電源線3およびサブ接地線4上の電圧SVccおよびSVssが、それぞれ電源電圧Vccおよび接地電圧Vssに到達して安定化するまでにある時間が必要となる。サブ電源線3およびサブ接地線4上の電圧SVccおよびSVssが不安定な状態においては、内部回路は動作することができない。したがって、図62に示すように、アクティブサイクルが始まってから実際に内部回路が動作するまでにある時間が必要とされ、高速動作を実現することができなくなるという問題があった。電圧SVccおよびSVssが不安定な状態で内部回路を動作させた場合、誤動作が生じる可能性があり、この電圧SVccお

よび V_{ss} が安定化に要する時間にあるマージンをもって内部回路動作開始タイミングを決定する必要がある。

【0014】また、図60に示すように、従来のMT-CMOS構成においては、スタンバイサイクル時における入力信号INの論理レベルが予め決定されている必要がある。スタンバイサイクル時の入力信号INの論理レベルに合せて、内部回路の電源線および接地線の接続先を決定する必要がある。しかしながら、ランダムロジックおよび動作条件を示すデータを格納するレジスタ回路などにおいては、スタンバイサイクル時の入力信号の論理レベルを予め決定することができず、したがって、図60に示すようなMT-CMOS構成を利用することができない。

【0015】また、半導体装置が、ダイナミック型半導体記憶装置(DRAMと以下称す)の場合、比較的長い期間にわたってアクセスがされない場合、スリープモードが設定されると、このDRAMはセルフリフレッシュモードに設定される。このセルフリフレッシュモード時においては、DRAMは、内部で、所定の周期でメモリセルデータのリフレッシュを実行する。

【0016】実際にセルフリフレッシュが行なわれるときには、このDRAMは、アクティブサイクルに入り、リフレッシュが完了すると、スタンバイサイクルに入る。すなわち、DRAMは、セルフリフレッシュモードにおいて、所定の周期でアクティブサイクルに入る。したがって、このセルフリフレッシュモード時においては、単にデータ保持を行なうために、内部でメモリセルのデータのリフレッシュが行なわれており、電流が消費されるという問題が生じる。消費電流を低減するためには、このリフレッシュ間隔を長くする必要があるものの、リフレッシュ間隔を不必要に長くすると、メモリセルデータがリフレッシュ動作前に破壊され、データ保持を行なうことができなくなる。

【0017】それゆえ、この発明の目的は、高速動作性を損なうことなく待機状態時の消費電流を低減することのできる半導体装置を提供することである。

【0018】この発明の他の目的は、セルフリフレッシュモード時の消費電流を低減することのできる半導体装置を提供することである。

【0019】この発明のさらに他の目的は通常動作およびデータ保持性能に悪影響を及ぼさずことなく待機モード時の消費電流を低減することのできる半導体装置を提供することである。

【0020】

【課題を解決するための手段】請求項1に係る半導体装置は、記憶データを一定期間内にリフレッシュする必要のある複数のメモリセルと、リフレッシュモード時複数のメモリセルの記憶データのリフレッシュ動作を行なうためのリフレッシュ系回路と、このリフレッシュ系回路

と異なり、複数のメモリセルへのアクセスに関連する動作を少なくとも行なうための周辺回路と、リフレッシュ系回路へ動作電源電圧を供給するための第1の電源回路と、この第1の電源回路と別に設けられ、周辺回路へ動作電源電圧を供給するための第2の電源回路と、動作モード指示信号に応答して、少なくとも第2の電源回路のインピーダンスを調整するための電源制御回路を備える。この電源制御回路は、動作モード指示信号がリフレッシュモードを指定するとき第1および第2の電源回路を互いに異なる電圧供給状態に設定し、かつ動作モード指示信号がリフレッシュモードと異なるノーマルモードを指定するとき第1および第2の電源回路を同一電圧供給状態に設定するための手段を含む。

【0021】請求項2に係る半導体装置は、請求項1の装置において、第1の電源回路が第1の電源供給ノードと第1の電源供給線との間に接続される第1の絶縁ゲート型電界効果トランジスタを備え、第2の電源回路が第2の電源供給ノードと第2の電源供給線との間に設けられる第2の絶縁ゲート型電界効果トランジスタを備える。電源制御回路は、動作モード指示信号がリフレッシュモードを指定するとき第1の絶縁ゲート型電界効果トランジスタをオン状態に設定しかつ第2の絶縁ゲート型電界効果トランジスタをオフ状態に設定する手段を含む。

【0022】請求項3に係る半導体装置は、請求項1の装置において、第2の電源回路が、電源供給ノードと電源供給線との間に接続されかつ周辺回路の構成要素である絶縁ゲート型電界効果トランジスタのしきい値電圧よりも絶対値の大きなリークカット用絶縁ゲート型電界効果トランジスタを備える。電源制御回路は、動作モード指示信号がリフレッシュモードを指定するときリークカット用絶縁ゲート型電界効果トランジスタをオフ状態に設定する手段を含む。

【0023】請求項4に係る半導体装置は、請求項1の装置において、第2の電源回路が、電源供給ノードと電源供給線との間に接続され、周辺回路の構成要素である絶縁ゲート型電界効果トランジスタと同じしきい値電圧を有するリークカット用絶縁ゲート型電界効果トランジスタを備える。このリークカット用絶縁ゲート型電界効果トランジスタはオフ状態時のリーク電流が周辺回路の総リーク電流量よりも小さくなるようにそのサイズが調整される。また、電源制御回路は、動作モード指示信号がリフレッシュモードを指定するとき、リークカット用絶縁ゲート型電界効果トランジスタをオフ状態に設定する手段を含む。

【0024】請求項5に係る半導体装置は、請求項1の装置において、第2の電源回路が、電源供給ノードと電源供給線との間に接続されるリークカット用絶縁ゲート型電界効果トランジスタを備える。周辺回路は、構成要素として絶縁ゲート型電界効果トランジスタを含む。電源制御回路が、動作モード指示信号がリフレッシュモー

ドを指定するとき、リークカット用絶縁ゲート型電界効果トランジスタを周辺回路の絶縁ゲート型電界効果トランジスタのオフ状態よりも深いオフ状態に設定する手段を含む。

【0025】請求項6に係る半導体装置は、請求項5の装置において、電源制御回路が、動作モード指示信号がリフレッシュモードを指定するとき、リークカット用絶縁ゲート型電界効果トランジスタのゲートへ電源供給ノード上の電圧よりも絶対値の大きな電圧を印加するための手段を含む。

【0026】請求項7に係る半導体装置は、請求項5の装置において、電源制御回路が、ノーマルモード時よりもリフレッシュモード時リークカット用絶縁ゲート型電界効果トランジスタのバックゲートへ印加される電圧の絶対値を大きくするための手段を含む。

【0027】請求項8に係る半導体装置は、請求項1の装置において、第1の電源回路が、外部からの第1の電源電圧を受ける第1の電源供給ノードを備え、第2の電源回路が、外部からの第2の電源電圧を受ける第2の電源ノードと、第2の電源ノードと周辺回路に結合される電源供給線との間に設けられるリークカット用絶縁ゲート型電界効果トランジスタを備える。電源制御回路は、動作モード指示信号がリフレッシュモードを指定するとき、リークカット用絶縁ゲート型電界効果トランジスタをオフ状態に設定するための手段を含む。

【0028】請求項9に係る半導体装置は、請求項1の装置において、第2の電源回路が外部からの電源電圧と基準電圧とを比較し、該比較結果に従って内部電源電圧を生成して周辺回路へ印加する内部電源回路を備える。電源制御回路は、動作モード指示信号がリフレッシュモードを指定するとき、この基準電圧を外部電源電圧と異なる極性の電圧レベルに設定する手段を含む。

【0029】請求項10に係る半導体装置は、請求項1または8の装置がさらに、動作モード指示信号にตอบสนองして、リフレッシュ系回路が形成される半導体基板領域の電位を調整するためのウェル電位制御回路を備える。このウェル電位制御回路が、動作モード指示信号がリフレッシュモードを指定するとき、この半導体基板領域の電位の絶対値をノーマルモード時よりも大きくするための手段を含む。

【0030】請求項11に係る半導体装置は、請求項10の装置がさらに、複数のメモリセルへアクセスして受けたデータの処理または処理後のデータの格納を行なうためのロジック回路を備える。ウェル電位制御回路は、このロジック回路が形成される半導体基板領域の電位をリフレッシュモード時、ノーマルモード時のそれよりも絶対値を大きくするための手段をさらに備える。

【0031】請求項12に係る半導体装置は、請求項1の装置がさらに、複数のメモリセルとデータの授受を行なうためのロジック回路と、このロジック回路へ動作電

源電圧を供給するための第3の電源回路を備える。電源制御回路は、動作モード指示信号がリフレッシュモードを指定するとき、ロジック回路への動作電源電圧の供給を停止するように第3の電源回路を制御する手段を備える。

【0032】請求項13に係る半導体装置は、請求項10の装置において、電源制御回路が、動作モード指示信号がリフレッシュモードを示すとき、周辺回路への動作電源電圧の供給を停止するように第2の電源回路のインピーダンスを大きくするための手段を備える。

【0033】請求項14に係る半導体装置は、一定期間内に記憶データがリフレッシュされる複数のメモリセルと、電源供給ノードの電源電圧を受け、複数のメモリセルへのアクセス動作に関連する情報を格納するためのレジスタ回路と、このレジスタ回路に対応して設けられ、レジスタ回路の記憶情報を保持するためのレジスタキャパシタと、動作モード指示信号がリフレッシュモードを指定するとき、レジスタキャパシタの記憶情報を所定の周期でリフレッシュするための制御回路を備える。

【0034】請求項15に係る半導体装置は、請求項14の装置において、制御回路が、動作モード指示信号がリフレッシュモードを指定するとき、所定周期で電源供給ノードからレジスタ回路へ電源電圧を供給しかつレジスタ回路をレジスタキャパシタと結合するための手段を含む。

【0035】請求項16に係る半導体装置は、請求項15の所定周期が、複数のメモリセルの記憶データのリフレッシュを行なう一定の周期と同じである。

【0036】請求項17に係る半導体装置は、請求項16の装置において、制御回路が、複数のメモリセルの選択されたメモリセルの記憶データのリフレッシュが行なわれている間、電源ノードからレジスタ回路へ電源電圧を供給する手段を含む。

【0037】請求項18に係る半導体装置は、請求項14の装置において、複数のメモリセルの各々が、情報を記憶するためのメモリキャパシタを含む。レジスタキャパシタは、このメモリキャパシタと、絶縁膜およびセルプレート電極が、材料および膜厚の少なくとも一方において同じである。

【0038】請求項19に係る半導体装置は、一定期間内に記憶データがリフレッシュされかつ所定の記憶容量を有する複数のメモリセルのメモリセルアレイと、動作モード指示信号にตอบสนองしてリフレッシュを行なうリフレッシュモードが指定されたときにリフレッシュを行なうリフレッシュ領域を指定するアドレスを受けて格納するための手段と、動作モード指示信号がリフレッシュモードを指定するとき、リフレッシュ領域指定アドレスが指定する領域内のメモリセルのリフレッシュを行なうようにリフレッシュアドレスを発生するためのリフレッシュアドレス発生回路と、リフレッシュモード時、所定の周

10

20

30

40

50

期でメモリセルデータのリフレッシュを要求するリフレッシュ要求を出力するリフレッシュタイマと、リフレッシュタイマからのリフレッシュ要求に従って、リフレッシュアドレスのメモリセルの記憶データのリフレッシュを行なうためのリフレッシュ系回路とを備える。

【0039】請求項20に係る半導体装置は、請求項19の装置において複数のメモリセルは行列状に配列され、かつメモリセル行のうちデータ保持特性が劣るメモリセルが接続される特定の行に関連する特定アドレスを格納するアドレス格納手段をさらに備える。リフレッシュ系回路は、特定アドレス格納手段の格納する特定アドレスに従って、特定の行のメモリセルのリフレッシュを他の行のメモリセルのリフレッシュの回数よりも多くするリフレッシュ調整手段を備える。

【0040】請求項21に係る半導体装置は、請求項20の装置において、リフレッシュ調整手段が、リフレッシュタイマからのリフレッシュ要求が発生される所定の周期よりも短い周期で特定の行に対するアドレスを選択状態に設定する手段を含む。

【0041】請求項22に係る半導体装置は、請求項20の装置において、リフレッシュ調整手段が、リフレッシュアドレス発生回路からのリフレッシュアドレスと特定アドレス格納手段からの特定アドレスとに従って特定アドレスがリフレッシュアドレスにより指定されるとき、このリフレッシュアドレスの行および特定行とともにアドレス指定するアドレス変換手段を含む。

【0042】請求項23に係る半導体装置は、請求項19の装置がさらに、リフレッシュ領域アドレスに従ってリフレッシュタイマの所定の周期を調整するための手段を備える。

【0043】請求項24に係る半導体装置は、請求項10の装置が、さらに、動作モード指示信号に応答してリフレッシュ系回路の動作タイミングをリフレッシュモード時とノーマルモード時とで異ならせるための制御回路をさらに備える。

【0044】請求項25に係る半導体装置は、請求項24の装置において複数のメモリセルが行列状に配列される。リフレッシュ系回路は、複数のメモリセルの列に対応して設けられ、活性化時対応の列のメモリセルデータの検知および増幅を行なうためのセンスアンプ回路を備える。制御回路は動作モード指示信号がリフレッシュモードを指定するとき、センスアンプ回路の活性化タイミングをノーマルモード時の活性化タイミングよりも遅らせるための手段を含む。

【0045】リフレッシュモード時に、周辺回路への電源供給電圧の供給を停止することにより、リフレッシュモード時における周辺回路の消費電流を低減することができる。また、ノーマルモード時においては、リフレッシュ系回路および周辺回路ともに電源電圧を供給することによりアクティブサイクルおよびスタンバイサイクル

の切替時においても、電源電圧の変動は生じず、速いタイミングで内部回路動作を開始することができる。

【0046】リフレッシュモード時、レジスタ回路のデータを保持するレジスタキャパシタの記憶情報を所定周期でリフレッシュすることにより、このレジスタ回路への電源供給をリフレッシュモード時間欠的に停止させることができ、リフレッシュモード時における消費電流を低減することができる。

【0047】また、リフレッシュモード時、所定のアドレス領域のメモリセルのみリフレッシュを行なうことにより、リフレッシュされるメモリセル行の数を低減でき、応じてリフレッシュ回数を低減でき、消費電流を低減することができる。

【0048】

【発明の実施の形態】
【実施の形態1】図1は、この発明が適用される半導体装置の全体の構成を概略的に示す図である。図1において、この発明に従う半導体装置10は、1トランジスタ/1キャパシタ型のダイナミック型メモリセルを含むDRAMマクロ11と、このDRAMマクロ11とデータの授受を行なうロジック回路12を含む。これらのDRAMマクロ11およびロジック回路12は、同一半導体チップ上に集積化される。

【0049】DRAMマクロ11は、ダイナミック型メモリセルを有するDRAMセルアレイ13と、基本的にこのDRAMセルアレイ13に含まれるメモリセルの選択およびデータの書込/読出を行なうためのDRAM周辺回路14を含む。

【0050】ロジック回路12は、このDRAMマクロ11からのデータを読出して所定の処理を行ないかつ処理後のデータをDRAMマクロ11のメモリセルへ書込むコアロジック回路15を含む。ロジック回路12と外部との信号を授受する周辺回路部は、この半導体装置10のチップ上に、延在して配置される（ピン端子が、この半導体装置10のチップ4辺に沿って配置される）が、ここではロジック回路の中心機能を実現するコアロジック回路15を代表的に示す。

【0051】DRAM周辺回路14はCMOS回路で構成され、またコアロジック回路15も、CMOS回路で構成される。これらのDRAM周辺回路14およびコアロジック回路15は、しきい値電圧およびゲート絶縁膜厚が同じMOSトランジスタを基本的に使用する。

【0052】この半導体装置10において、比較的長い期間にわたって処理が行なわれないとき、コアロジック回路15はスリープモードに入り、クロック信号の発生を停止させ、内部回路動作を停止する。コアロジック回路15は、スリープモードに入ると、DRAMマクロ11をセルフリフレッシュモードに設定する。DRAMマクロ11は、セルフリフレッシュモードに入ると、内蔵のタイマを利用して、所定の時間間隔で、メモリセルデータのリフレッシュを実行する。

【0053】図2は、この発明の実施の形態1に従う半導体装置の要部の構成をより詳細に示す図である。図2において、DRAMマクロ11は、セルフリフレッシュモードが指定されたときDRAMセルアレイ13のメモリセルのデータのリフレッシュを行なうためのリフレッシュ系回路14aと、DRAMセルアレイ13のメモリセルの列選択、データの書込/読出およびノーマルモード時の動作制御を行なうコラム系/周辺制御回路14bを含む。このコラム系/周辺制御回路14bおよびリフレッシュ系回路14aは、図1に示すDRAM周辺回路14に含まれる。セルフリフレッシュモード時には、コラム系周辺制御回路14bは、リフレッシュ系回路14aの制御の下に動作が停止される。

【0054】リフレッシュ系回路14aは、セルフリフレッシュモード時、セルフリフレッシュ動作に必要な制御動作を行なうセルフリフレッシュ制御回路(SR制御回路)20と、セルフリフレッシュモード時、SR制御回路20の制御の下にDRAMセルアレイ13のメモリセル行の選択および選択行のメモリセルデータの読出/再書込(リストア)を行なうロウ系回路21を含む。このロウ系回路21は、通常動作モード時には、コラム系/周辺制御回路14bに含まれる周辺制御回路の制御の下に、DRAMセルアレイ13の行選択に関連する動作を行なう。SR制御回路20は、セルフリフレッシュモード検出回路、リフレッシュアドレスを発生するリフレッシュアドレスカウンタ、セルフリフレッシュ期間をカウントするタイマおよびリフレッシュアドレスカウンタからのリフレッシュアドレスを外部からのロウアドレスに代えてロウ系回路21へ与えるマルチプレクサを含む。

【0055】ロウ系回路21は、ロウアドレスおよびリフレッシュアドレスをデコードするロウデコーダ、ロウデコーダの出力信号に従ってDRAMセルアレイ13のワード線を選択状態へ駆動するワード線ドライバ回路、およびDRAMセルアレイ13の各列に設けられ、各列上のメモリセルデータの検知および増幅を行なうセンスアンプ回路、各列(ビット線対)のプリチャージ/イコライズを行なうビット線プリチャージ/イコライズ回路を含む。

【0056】この半導体装置10は、さらに、外部からの電源電圧EV1を受け、内部電源電圧VC1を生成してロジック回路12に対する動作電源電圧を与える電源回路22aと、外部電源電圧EV2を受けて内部電源電圧VC2を生成してコラム系/周辺制御回路14bに対する動作電源電圧を与える電源回路22bと、外部電源電圧EV3を受けて内部電源電圧VC3およびVC4を生成して、DRAMセルアレイ13およびリフレッシュ系回路14aへ与える電源回路22cと、ロジック回路12に含まれるコアロジック回路15の制御の下に、電源回路22aおよび22bに対する電源制御信号φ1お

よびφ2を生成する電源制御回路25を含む。この電源制御回路25は、ロジック回路12がスリープモードに入り、DRAMマクロがセルフリフレッシュモードに設定されるとき、電源回路22aおよび22bの内部電源電圧VC1およびVC2発生動作を停止させる。

【0057】ここで、電源回路22cから内部電源電圧VC3がDRAMセルアレイ13へ与えられているのは、この内部電源電圧VC3は、DRAMセルアレイ13におけるビット線プリチャージ/イコライズ電圧およびメモリセルのセルプレート電圧を発生するために利用されており、またロウ系回路21に含まれるセンスアンプ回路においてこの内部電源電圧VC3が利用されることを示すためである。内部電源電圧VC4は、ロウ系回路21に含まれるワード線ドライバ回路およびロウデコーダおよびSR制御回路20へ与えられる。

【0058】この図2に示す構成において、電源回路22a-22cは、外部電源電圧EV1、EV2およびEV3をそれぞれ受けて、内部電源電圧VC1~VC3を生成している。しかしながら、これらの電源回路22a-22cは、以下に詳細に説明するように、それぞれ接地電圧をも発生する。以下、単に電源電圧と称するときには、ハイレベル電源電圧Vccを示し、「電源供給電圧」と称するときには、電源電圧および接地電圧両者を参照するものとする。

【0059】電源制御回路25は、常時、電源供給電圧を受けて動作する。この電源制御回路25は、電源回路22aおよび22bに共通に設けられるように示すが、電源制御回路25は、電源回路22aおよび22bそれぞれに対応して別々に設けられてもよい。また、電源回路22aがロジック回路12内に設けられ、また電源回路22bおよび22cは、DRAMマクロ11内に設けられてもよい。

【0060】この発明の実施の形態1においては、電源回路22aおよび22bは、セルフリフレッシュモード時その内部電源供給電圧発生動作を停止させる。一方通常モード(ノーマルモード)においては、電源回路22a、22bおよび22cをすべて動作させる。半導体装置の動作モードは、DRAMマクロ11およびロジック回路15が動作する通常モード(ノーマルモード)時と、スリープモードと呼ばれる低消費電流スタンバイ状態がある。通常モード時には、DRAMマクロ11の状態としては、実際にメモリセルの選択およびアクセスが行なわれるアクティブサイクルおよび次のアクセスを待つスタンバイサイクルが存在する。スリープモード時には、DRAMマクロ11はセルフリフレッシュモードに設定される。このセルフリフレッシュモード時においても、DRAMマクロ11は、内部に設けられるタイマの出力信号に従ってリフレッシュサイクルが形成されてリフレッシュ動作が実行される。

【0061】通常モード時には、ロジック回路1

5およびDRAMマクロ11は、内部スタンバイサイクル時であっても、数十mAの電流消費は許容される。一方、スリープモード時においては、消費電流は、DRAMマクロ11のデータ保持を行なうための電流であり、できるだけ小さくする必要がある。リフレッシュサイクル時においては、DRAMマクロの内部でのリフレッシュ動作が行なわれるだけであり、このDRAMマクロへのアクセスは行なわれないため、アクセス時間およびサイクル時間の遅延は何ら問題は生じない。したがって、図2に示すように、セルフリフレッシュ動作に関連するリフレッシュ系回路14aに対する電源回路22cのみをセルフリフレッシュモード時動作させ、電源回路22aおよび22bからの内部電源供給電圧発生動作は停止させ、消費電流を低減する。

【0062】図3は、図2に示すコラム系/周辺制御回路14bに対する電源回路22bの構成を示す図である。この電源回路22bは、外部電源電圧EV2を伝達する主電源線1と、接地電圧Vssを伝達する主接地線2と、主電源線1に対応して設けられるサブ電源線3と、主接地線2に対応して設けられるサブ接地線4と、制御信号φ2にตอบสนองして導通し、主電源線1およびサブ電源線3を接続するPチャネルMOSトランジスタPQ1と、制御信号φ2の活性化にตอบสนองして導通し、主接地線2をサブ接地線4に接続するNチャネルMOSトランジスタNQ1を含む。

【0063】コラム系/周辺制御回路14bは、その内部構成は、実現する機能により異なるが、図3においては、5段のインバータIV1-IV5を一例として示す。これらのインバータIV1-IV5は、CMOS構成であり、PチャネルMOSトランジスタPTおよびNチャネルMOSトランジスタNTを含む。コラム系/周辺制御回路14bは、ロジック回路12に含まれるMOSトランジスタと同じ（ゲート絶縁膜およびしきい値電圧について）であり、低しきい値電圧（ $L-V_{th}$ ）MOSトランジスタで構成される。

【0064】リークカット用のMOSトランジスタPQ1およびNQ1は、この低しきい値電圧MOSトランジスタPTおよびNTのしきい値電圧の絶対値よりも大きな絶対値のしきい値電圧を有するMOSトランジスタ（ $M-V_{th}$ MOSトランジスタ）で構成される。制御信号φ2およびφ2は、図2に示す電源制御回路25から与えられ、通常モード（ノーマルモード）およびセルフリフレッシュモードでその論理レベルが切換えられる。

【0065】コラム系/周辺制御回路14bは、DRAMマクロ11がダイナミック動作を行なっており、スタンバイ状態時において、入力信号INの論理レベルは予め知ることができる。この入力信号INのスタンバイ状態時における論理レベルに応じて、内部回路のインバータIV1-IV5の電源供給ノードの接続先が決定され

る。図3においては、インバータIV1、IV3およびIV5が主電源線1とサブ接地線4に結合され、インバータIV2およびIV4がサブ電源線3と主接地線2に結合される。この状態においては、入力信号INはスタンバイ状態においては、Lレベルに設定される。次に、この図3に示す電源回路22bの動作を、図4に示す信号波形図を参照して説明する。

【0066】DRAMマクロへのアクセスを行なうノーマルモード時（スタンバイサイクルおよびアクティブサイクルを含む）においては、制御信号φ2がHレベルおよび制御信号φ2がLレベルに設定され、リークカット用MOSトランジスタPQ1およびNQ1がともにオン状態に設定される。この状態においては、主電源線1上の電源電圧EV2がサブ電源線3上に伝達され、また主接地線2上の接地電圧Vssがサブ接地線4上に伝達される。したがって、この状態においては、サブ電源線3上の電源電圧SVcc（VC2）およびサブ接地線4上の電源電圧SVssはそれぞれ外部電源電圧EV2および接地電圧Vssと等しく、コラム系/周辺制御回路14bは、その低しきい値電圧MOSトランジスタにより高速で動作する。

【0067】ノーマルモード時におけるスタンバイサイクル時において、入力信号INの論理レベルがLレベルに固定されても、制御信号φ2およびφ2はともにそれぞれ、HレベルおよびLレベルに設定され、主電源線1はサブ電源線3に接続され、またサブ接地線4は主接地線2に接続される。通常モード時においては、スタンバイサイクル時でも、数十mAの電流消費は許容されているため、このスタンバイサイクル時において、コラム系/周辺制御回路14bおよびリフレッシュ系回路14aにおいて電流が消費されても、許容範囲内であり、問題は生じない。これは、ロジック回路12においても同様である。

【0068】ロジック回路12は、所定時間以上処理を行なわない場合、スリープモードに入り、DRAMマクロ11は、セルフリフレッシュモードに設定される。この状態において、電源制御回路25からの制御信号φ2およびφ2がそれぞれLレベルおよびHレベルに設定され、リークカット用MOSトランジスタPQ1およびNQ1がオフ状態となる。これにより、サブ電源線3およびサブ接地線4がハイインピーダンス状態となり、コラム系/周辺制御回路14bにおける消費電流は、リークカット用MOSトランジスタPQ1およびNQ1のリーク電流により決定される値となり、低消費電流モードが実現される。特に、リークカット用MOSトランジスタPQ1およびNQ1のしきい値電圧の絶対値は、このコラム系/周辺制御回路14bに含まれるMOSトランジスタのしきい値電圧よりも絶対値が大きいため、これらのリークカット用MOSトランジスタPQ1およびNQ1は、深いオフ状態となり、リーク電流を確実に抑制

する。

【0069】セルフリフレッシュモードからノーマルモードに移行すると、制御信号 $\phi 2$ および $\phi 2$ がそれぞれHレベルおよびLレベルに変化する。サブ電源線3およびサブ接地線4上の電圧SVcc(VC2)およびSVssが、所定の電圧レベルに復帰するまでにある時間が必要である。しかしながら、セルフリフレッシュモードからノーマルモードに移行する場合、セルフリフレッシュサイクルを確実に完了させて内部回路が確実にスタンバイ状態にあることを保証する必要がある。このため、セルフリフレッシュモードからノーマルモードへの移行時、またはスリープモードからノーマルモードへの移行時、実際の回路動作は、ある所定の時間経過後に行なうように仕様で定められている。したがって、セルフリフレッシュモードからノーマルモードへの移行時、サブ電源線3およびサブ接地線4上の電源電圧の元の電圧レベルへの復帰までに時間を要しても、何らその間、回路動作は実行されないため、問題は生じない。

【0070】セルフリフレッシュモードにおいては、この図2に示す電源回路22cは常時内部電源電圧VC3およびVC4を発生しており(動作電流をも供給する)、リフレッシュ系回路14aが動作し、所定の周期でDRAMセルアレイ13内のメモリセルのリフレッシュを実行する。したがって、アクセス動作に何ら悪影響を及ぼすことなく消費電流を低減することができる。

【0071】図5は、図2に示すロジック回路用電源回路22aの構成を示す図である。図5において、電源回路22aは、外部電源電圧EV1を伝達する主電源線1aと、主電源線1aに対応して設けられるサブ電源線3aと、制御信号 $\phi 1$ がLレベルのとき導通して、主電源線1aとサブ電源線3aとを接続するリークカット用PチャネルMOSトランジスタPQaと、接地電圧Vsを伝達する主接地線2aと、主接地線2aに対応して設けられるサブ接地線4aと、制御信号 $\phi 1$ がHレベルのとき導通して、主接地線2aとサブ接地線4aを接続するNチャネルMOSトランジスタNQaを含む。これらのリークカット用MOSトランジスタPQaおよびNQaは、そのしきい値電圧の絶対値は比較的大きくされる(ロジック回路の構成要素のMOSトランジスタに比べて)。

【0072】ロジック回路12は、その実現する論理により、その内部構成は異なるが、図5においては、5段のインバータIVa-IVeを示す。これらのインバータIVa-IVeは、それぞれ、CMOSインバータであり、低しきい値電圧MOSトランジスタPTおよびNTを含む。これらのインバータIVa-IVeは、サブ電源線3a上の電圧SVcc(VC1)およびサブ接地線4a上の電圧SVssを両動作電源電圧として動作する。

【0073】ロジック回路12は、所定の論理処理を行

っており、この入力信号INの電圧レベルを予測することができない。したがって、このサブ電源線3aおよびサブ接地線4a上の電圧SVccおよびSVssを利用することにより、スリープモード時の消費電流を、入力信号INの電圧レベルにかかわらず低減する。次に、この図5に示す電源回路22aの動作を図6に示す信号波形図を参照して説明する。

【0074】ノーマルモード時には、制御信号 $\phi 1$ および $\phi 1$ がそれぞれLレベルおよびHレベルに設定され、リークカット用MOSトランジスタPQaおよびNQaはオン状態となり、低インピーダンスで主電源線1aおよび主接地線2aをそれぞれ、サブ電源線3aおよびサブ接地線4aに接続する。この状態においては、ロジック回路12は、その低しきい値電圧MOSトランジスタにより、高速で動作し、所定の論理処理を実行する。

【0075】スリープモードが設定されると、制御信号 $\phi 1$ がHレベル、制御信号 $\phi 1$ がLレベルとなり、リークカット用MOSトランジスタPQaおよびNQaはオフ状態となり、これらのサブ電源線3aおよびサブ接地線4aはハイインピーダンスで主電源線1aおよび主接地線2aにそれぞれ接続される。リークカット用MOSトランジスタPQaおよびNQaのリーク電流は小さいため、ロジック回路12におけるスリープモード時の消費電流を低減することができる。特に、ロジック回路12においては、スリープモード時、保持データのリフレッシュ動作は何ら実行されないため、その消費電流は単なるリーク電流のみである。

【0076】スリープモードからノーマルモードに移行すると、制御信号 $\phi 1$ および $\phi 1$ はそれぞれHレベルおよびLレベルに駆動され、サブ電源線3aおよびサブ接地線4aがそれぞれ主電源線1aおよび主接地線2aに低インピーダンスで接続される。これらのサブ電源線3a上の電圧SVcc(VC1)およびサブ接地線4a上の電圧SVssが、所定の電圧レベルに復帰するまでに時間が必要とされる(サブ電源線3aおよびサブ接地線4aの寄生容量の充放電のため)。しかしながら、スリープモードからノーマルモードに移行時、このロジック回路の動作開始は、スリープモード解除後ある時間が経過してからのみ許容される。したがって、この場合においても、サブ電源線3aおよびサブ接地線4a上の電圧SVccおよびSVssの復帰に時間を要しても、何らロジック回路12の動作開始タイミングが遅れることはなく、何ら問題は生じず、高速動作性能は低下しない。

【0077】なお、図5に示す構成においては、ロジック回路12は、スリープモード時、内部信号INの論理レベルが予め予測できないとして説明している。しかしながら、このロジック回路12が、スリープモードが設定された場合、内部状態を初期状態にリセットし、各内

部信号の状態が予め予測することができる場合には、図3に示すように、内部信号（入力信号）INの論理レベルに応じて、各回路（インバータ）の電源ノードと電源供給線との接続が決定されればよい（図3に示す電源構成と同様の構成）。

【0078】図7は、ロジック回路12の電源回路の他の構成を示す図である。この図7に示す構成においては、ロジック回路12は、外部からの電源電圧EV1をその電源ノードに受ける。外部電源電圧EV1は、ノーマルモード時には、所定の電圧レベルに設定され、一方スリープモード時には、電源供給が遮断される（外部のプロセサの制御の下に）。したがって、ロジック回路12は、スリープモード時この外部電源電圧EV1供給が遮断されるため、内部回路の電流消費経路は存在せず、その消費電流を、0とすることができる。この図7に示す構成においては、電源回路は特に設けられない（単なる電源線のみであり、制御信号φ1は使用されない）。

【0079】リフレッシュ系回路に対する電源回路22cは、常時リフレッシュ系回路およびDRAMセルアレイに電源電圧VC3およびVC4を伝達する。したがって、この電源回路は、必要な電圧（ビット線プリチャージ電圧およびセルプレート電圧）を発生する回路および必要ならば内部降圧回路を、電源供給電圧を伝達する電源線と構成され、ノーマルモード時およびスリープモード時、内部電源電圧VC3およびVC4を発生する。

【0080】このリフレッシュ系回路に対する電源回路22cは、階層電源構成を有していてもよい（ただしリークカット用MOSトランジスタはセルフリフレッシュモード時のリフレッシュサイクル時オン状態）。

【0081】なお、上述の説明において、サブ電源線3aおよび3bの電圧SVccは、スリープモード時およびセルフリフレッシュモード時、電源電圧よりも少し低下した電圧レベルに設定されている。しかしながら、このサブ電源線の放電により、サブ電源線3aおよび3bの電圧レベルが、接地電圧レベルにまで低下するように構成されてもよい。

【0082】[変更例1] 図8は、この発明の実施の形態1の変更例1の構成を示す図である。この図8においては、コラム系/周辺制御回路14bに対する電源回路22bの構成を示す。図8に示す電源回路22bは、リークカット用MOSトランジスタとして、低しきい値電圧（ $L-V_{th}$ ）のMOSトランジスタPQbおよびNQbが用いられる。PチャネルMOSトランジスタPQbは、主電源線1bとサブ電源線3bの間に接続され、NチャネルMOSトランジスタNQbが、主接地線2bとサブ接地線4bの間に接続される。リークカット用MOSトランジスタPQbおよびNQbは、コラム系/周辺制御回路14bのMOSトランジスタPTおよびNTと同一のしきい値電圧（ $L-V_{th}$ ）を有する。リーク

カット用MOSトランジスタPQbおよびNQbのゲートへ与えられる制御信号φ2およびφ2は、上で説明した実施例と同じであり、セルフリフレッシュモード時に非活性化され、リークカット用MOSトランジスタPQbおよびNQbをオフ状態に設定する。

【0083】これらのリークカット用MOSトランジスタPQbおよびNQbのオフ状態時に流れるオフリーク電流Ioffは、サブ電源線3bおよびサブ接地線4bを流れるリーク電流の総和Ioff（14b）よりも小さくなるように、そのゲート幅が調整される。コラム系/周辺制御回路14bにおけるサブ電源線3bを流れるオフリーク電流は、PチャネルMOSトランジスタPQbのオフリーク電流に等しく、コラム系/周辺制御回路14bがMOSトランジスタPQbのオフリーク電流よりも大きなオフリーク電流を生じさせるとき、サブ電源線3bの電圧SVccの電圧レベルが低下し、コラム系/周辺制御回路14bのMOSトランジスタPTのゲートソース間がより強い逆バイアス状態となり、オフリーク電流が低減され、結果的に、このMOSトランジスタPQbのオフリーク電流により回路のリーク電流が決定される。これは、リークカット用のNチャネルMOSトランジスタNQbについても同様である。

【0084】通常モードにおいては、リークカット用MOSトランジスタPQbおよびNQbがともにオン状態となる。この場合、図8に示すコラム系/周辺制御回路14bにおいてインバータIV1-IV5は、すべて同時に充放電するのではなく、ある一定の遅延時間をもって動作しており、したがって、このMOSトランジスタPQbおよびNQbのオフリーク電流を低減するためにゲート幅が小さくされても、通常モード時における回路動作に何ら悪影響は及ぼさない。

【0085】図9は、ロジック回路12に対する電源回路22aの構成を示す図である。この図9に示す電源回路22aにおいては、制御信号φ1のLレベルのとき導通し、外部電源電圧EV1をロジック回路12へ動作電源電圧として伝達するPチャネルMOSトランジスタPQcと、制御信号φ1がHレベルのとき導通し、接地電圧Vssをロジック回路12の他方動作電源電圧として、供給するNチャネルMOSトランジスタNQcを含む。ロジック回路12は、低しきい値電圧（ $L-V_{th}$ ）のMOSトランジスタを構成要素として含んでおり、これらのリークカット用MOSトランジスタPQcおよびNQcも、ロジック回路12に含まれるMOSトランジスタと同様低しきい値電圧（ $L-V_{th}$ ）MOSトランジスタである。

【0086】この図9に示す構成において、これらのMOSトランジスタPQcおよびNQcのオフリーク電流は、ロジック回路12におけるオフリーク電流の総和よりも小さくされる。したがって、この図9に示す電源回路22aの構成においても、スリープモード時、ロジッ

ク回路12の動作が停止されるとき、そのオフリーク電流が、リークカット用MOSトランジスタPQcおよびNQcにより決定され、スリープモード時のオフリーク電流を低減でき、低消費電流を実現することができる。

【0087】通常モード時においては、これらのリークカット用MOSトランジスタPQcおよびNQcはオン状態となり、ロジック回路12に対し安定に動作電流を供給する。

【0088】なお、ロジック回路12も、このスリープモード時、内部回路ノードが初期状態にセットされ、その各内部回路のノードのスリープモード時の電圧レベルが幅め確定することができる場合には、図8に示す構成と同じ電源回路を利用することができる。

【0089】〔変更例2〕図10は、この発明の実施の形態1の変更例2の構成を示す図である。この図10においては、コラム系/周辺回路に対する電源回路22bの構成を示す。この電源回路22bにおいて、主電源線1bとサブ電源線3bの間に、リークカット用のPチャネルMOSトランジスタPQdが接続され、主接地線2bとサブ接地線4bの間にリークカット用のNチャネルMOSトランジスタNQdが設けられる。これらのリークカット用のMOSトランジスタPQdおよびNQdは、低しきい値電圧(L-Vth)MOSトランジスタであってもよく、それより大きなしきい値電圧の絶対値を有する中間しきい値電圧(M-Vth)MOSトランジスタであってもよい。リークカット用MOSトランジスタPQdのゲートへ与えられる制御信号/φ2は、接地電圧Vssと外部電源電圧EV2よりも高い昇圧電圧Vppとの間で変化する。また、リークカット用NチャネルMOSトランジスタNQdのゲートへ与えられる制御信号φ2は、電源電圧Vccおよび接地電圧Vssよりも低い負電圧Vbbの間で変化する。電源電圧Vccは、外部電源電圧EV2の電圧レベルと等しくてもよい。

【0090】セルフリフレッシュモード時においては、制御信号/φ2が昇圧電圧Vppのレベルに設定され、また制御信号φ2が負電圧Vbbの電圧レベルに設定される。したがって、リークカット用MOSトランジスタPQdおよびNQdは、ゲート-ソース間が深い逆バイアス状態に設定され、より深いオフ状態となり、オフリーク電流をより低減することができる。

【0091】通常モード時においては、制御信号/φ2は接地電圧Vssレベルに設定され、制御信号φ2は電源電圧Vcc(または外部電源電圧EV2)の電圧レベルに設定される。したがって、通常モード時においては、サブ電源線3bおよびサブ接地線4bは、低インピーダンスで主電源線1bおよび主接地線2bに接続され、コラム系/周辺制御回路14bは高速で動作する。

【0092】なお、ロジック回路に対する電源回路22aについても、この図10に示す構成と同様の構成また

は図9に示す構成と同様の構成が利用されればよい。制御信号φ1および/φ1の振幅を大きくすることにより、スリープモード時リークカット用MOSトランジスタをより深いオフ状態に設定する。

【0093】図11は、この変更例2における電源制御回路25の構成を概略的に示す図である。図11において、電源制御回路25は、外部電源電圧EV(EV1, EV2)を受けて外部電源電圧EVよりも高い昇圧電圧Vppを発生するVpp発生回路25aと、外部電源電圧EVを受け、接地電圧Vssよりも低い負電圧Vbbを発生するVbb発生回路25bと、ロジック回路からのスリープモード開始指示信号SLinに従ってセットされかつスリープモード終了指示信号SLoutに従ってリセットされるフリップフロップ25cと、フリップフロップ25cの出力信号をレベル変換して制御信号/φ(/φ1, /φ2)を出力するレベル変換回路25dと、フリップフロップ25cの出力信号のレベル変換を行なって制御信号φ(φ1, φ2)を生成するレベル変換回路25eを含む。

【0094】フリップフロップ25cは外部電源電圧EVを一方動作電源電圧として動作する。レベル変換回路25dは、このフリップフロップ25cの出力信号がHレベルとなると、そのHレベルを昇圧電圧Vppレベルに変換して出力する。レベル変換回路25eは、フリップフロップ25cからの出力信号のHレベルを負電圧Vbbレベルに変換して制御信号φを生成する。制御信号/φのLレベルは接地電圧Vssレベルであり、制御信号φのHレベルは外部電源電圧EVレベルである。

【0095】この図11に示す電源制御回路25において、DRAMマクロに対する電源回路に対する制御信号φ2, /φ2を発生する部分と、ロジック回路の電源回路に対する制御信号/φ1およびφ1を発生する回路が別々に設けられ、それぞれの外部電源電圧のレベルが調整されてもよい。

【0096】また、電源制御回路25が、DRAMマクロおよびロジック回路に対し別々に設けられる場合、DRAMマクロに対して設けられる電源制御回路は、DRAMマクロ内において用いられるワード線昇圧用の高電圧Vppおよびアレイ基板領域をバイアスするためのバックゲートバイアスVbbを利用するように構成されてもよい。次に、この図11に示す電源制御回路25の動作を図12に示す信号波形図を参照して説明する。

【0097】スリープモードに入ると、スリープモード開始指示信号SLinがワンショットパルスの形で与えられ、フリップフロップ25cがセットされ、その出力信号がHレベルとなる。応じてレベル変換回路25dからの制御信号/φ(/φ1, /φ2)が外部電源電圧EVよりも高い昇圧電圧Vppレベルに駆動される。一方、レベル変換回路25eはこのフリップフロップ25cの出力信号の立上がりに応じて制御信号φを負電圧

V_{b b}レベルに駆動する。

【0098】フリップフロップ25cは、外部電源電圧E_Vを受けており、その状態を維持する。スリープモードが完了すると、スリープモード終了指示信号S_{L o u t}がワンショットパルスの形で与えられ、フリップフロップ25cの出力信号がLレベルとなる。応じてレベル変換回路25dからの制御信号/φ(φ₁, φ₂)が接地電圧V_{s s}レベルのLレベルとなる。また、レベル変換回路25eがこのフリップフロップ25cの出力信号の立上がりに対応して制御信号φを外部電源電圧E_Vレベルに駆動する。

【0099】したがって、このスリープモード時(セルフリフレッシュモード時)、リークカット用MOSトランジスタをより深いオフ状態に設定することができ、よりオフリーク電流を低減でき消費電流を低減することができる。

【0100】なお、実施の形態1において、レベル変換を行なわない場合、このフリップフロップ25cから相補な制御信号を取出すことにより、リークカット用MOSトランジスタに対する制御信号φ(φ₁, φ₂)および/φ(φ₁, φ₂)を生成することができる。

【0101】レベル変換回路25dおよび25eは、たとえば周知のラッチ型のCMOS変換回路で構成される。

【0102】[変更例3]図13は、この発明の実施の形態1の変更例3の構成を概略的に示す図である。この図13に示す構成においては、主電源線1bとサブ電源線3bの間に設けられるリークカット用PチャネルMOSトランジスタPQbのバックゲート(Nウェル)へ電圧φ_{w n}が与えられ、また主接地線2bとサブ接地線4bの間に設けられるリークカット用NチャネルMOSトランジスタNQbのバックゲート(Pウェル)へウェル電圧φ_{w p}が与えられる。これらのリークカット用MOSトランジスタPQbおよびNQbは、低しきい値電圧(L-V_{t h}) MOSトランジスタである。

【0103】これらのリークカット用MOSトランジスタPQbおよびNQbのウェル電圧φ_{w n}およびφ_{w p}を、動作モードに応じて変更する。すなわち、スリープモード(セルフリフレッシュモード)においては、リークカット用MOSトランジスタPQbのバックゲート(Nウェル)へ与えられるウェル電圧φ_{w n}を外部電源電圧E_V2よりも高い昇圧電圧V_{p p}レベルに設定し、またリークカット用NチャネルMOSトランジスタNQbのバックゲート(Pウェル)へ与えられるウェル電圧φ_{w p}を負電圧V_{b b}レベルに設定する。したがって、これらのリークカット用MOSトランジスタPQbおよびNQbは、バックゲートバイアスが深くなり、そのしきい値電圧の絶対値が大きくなり、リーク電流を抑制する。

【0104】通常モード時においては、ウェル電圧φ_w

nは外部電源電圧E_V2の電圧レベルに設定され、ウェル電圧φ_{w p}が、接地電圧V_{s s}レベルに設定される。したがって、通常モード時においては、これらのリークカット用MOSトランジスタPQbおよびNQbは、低しきい値電圧MOSトランジスタとして動作し、深いオン状態となって動作電流を十分に供給することができる。

【0105】図14は、この発明の実施の形態1の変更例3の電源制御回路25の構成を概略的に示す図である。図14において、電源制御回路25は、外部電源電圧E_Vと接地電圧V_{s s}を受けて、この外部電源電圧E_Vよりも高い昇圧電圧V_{p p}を発生するV_{p p}発生回路25aと、外部電源電圧E_Vと接地電圧V_{s s}を受け、接地電圧V_{s s}よりも低い負電圧V_{b b}を発生するV_{b b}発生回路25bと、ロジック回路からのスリープモード開始指示信号S_{L i n}に対応してセットされかつロジック回路からのスリープモード終了指示信号S_{L o u t}に従ってリセットされて、外部電源電圧E_Vの振幅を有する制御信号/φおよびφを発生するフリップフロップ25cと、V_{p p}発生回路25aからの昇圧電圧V_{p p}と接地電圧とを動作電源電圧として受け、フリップフロップ25cからの制御信号/φのレベルを変換して互いに相補な切換制御信号φ_pおよび/φ_pを発生するレベル変換回路25fと、外部電源電圧E_VとV_{b b}発生回路25bからの負電圧V_{b b}とを動作電源電圧として受け、フリップフロップ25cからの制御信号φのレベルを変換して互いに相補な切換制御信号φ_nおよび/φ_nを生成するレベル変換回路25gと、レベル変換回路25fからの切換制御信号φ_pおよび/φ_pに従って昇圧電圧V_{p p}および外部電源電圧E_Vの一方を選択してウェル電位φ_{w n}を生成する切換回路25hと、レベル変換回路25eからの制御信号φ_nおよび/φ_nに従って接地電圧V_{s s}および負電圧V_{b b}の一方を選択してウェル電圧φ_{w p}を生成する切換回路25iを含む。

【0106】レベル変換回路25fは、フリップフロップ25cからの制御信号/φがHレベルとなると、切換制御信号φ_pを接地電圧レベル、切換制御信号/φ_pを昇圧電圧V_{p p}レベルに設定する。レベル変換回路25gは、フリップフロップ25cからの制御信号φがLレベルに立下がると、切換制御信号φ_nを負電圧V_{b b}レベルに設定し、一方、切換制御信号/φ_nを外部電源電圧E_Vレベルに設定する。

【0107】切換回路25hは、切換制御信号φ_p2がLレベルのとき導通し、昇圧電圧V_{p p}を伝達するPチャネルMOSトランジスタPT1と、レベル変換回路からの切換制御信号/φ_pがLレベルのとき導通し、外部電源電圧E_Vを伝達するPチャネルMOSトランジスタPT2を含む。

【0108】切換回路25iは、レベル変換回路25eからの制御信号φ_nがHレベルとなると導通して接地電

圧 V_{ss} を伝達するNチャネルMOSトランジスタNT1と、レベル変換回路25eからの切換制御信号 ϕ_n がHレベルとなると導通して、負電圧 V_{bb} を伝達するNチャネルMOSトランジスタNT2を含む。次に、この図14に示す電源制御回路25の動作を、図15に示す信号波形図を参照して説明する。

【0109】セルフリフレッシュモード（スリープモード）に入るとき、スリープモード開始指示信号 SL_{in} がワンショットパルスの形で活性化される。応じて、フリップフロップ25cからの制御信号 ϕ が接地電圧 V_{ss} レベルから外部電源電圧 EV レベルに立上がり、また制御信号 ϕ が外部電源電圧 EV レベルから接地電圧 V_{ss} レベルに低下する。レベル変換回路25fは、この制御信号 ϕ がHレベルに立上がると、切換制御信号 ϕ_p を昇圧電圧 V_{pp} レベルから接地電圧 V_{ss} レベルに駆動する。また、レベル変換回路25eは、このフリップフロップ25cからの制御信号 ϕ の立下がりに応答して、切換制御信号 ϕ_n を外部電源電圧 EV レベルから負電圧 V_{bb} レベルに立下げる。

【0110】応じて、切換回路25hにおいては、MOSトランジスタPT1がオン状態、MOSトランジスタPT2がオフ状態となり、ウェル電圧 ϕ_{wn} として、昇圧電圧 V_{pp} がPチャネルMOSトランジスタPT1を介して伝達される。昇圧電圧 V_{pp} がウェル電圧 ϕ_{wn} として出力される場合においても、MOSトランジスタPT2は、そのゲートおよびソースが同一電圧であり、オフ状態を維持する。

【0111】また、切換回路25iにおいては、MOSトランジスタNT1がオフ状態、MOSトランジスタNT2がオン状態となり、負電圧 V_{bb} がウェル電圧 ϕ_{wp} として出力される。この状態は、セルフリフレッシュモード（スリープモード）が維持されている間保持される。

【0112】セルフリフレッシュモードすなわちスリープモードが完了すると、スリープモード終了指示信号 SL_{out} がワンショットパルスの形でHレベルに駆動され、フリップフロップ25cからの制御信号 ϕ が外部電源電圧 EV レベル、制御信号 ϕ が接地電圧 V_{ss} レベルに変化する。応じて、レベル変換回路25fにおいては、切換制御信号 ϕ_p が昇圧電圧 V_{pp} レベルとなり、補の切換制御信号 ϕ_p が接地電圧 V_{ss} レベルとなる。したがって、切換回路25hにおいては、MOSトランジスタPT1がオフ状態、MOSトランジスタPT2がオン状態となり、ウェル電圧 ϕ_{w2} として、外部電源電圧 EV がMOSトランジスタPT2を介して出力される。この状態において、MOSトランジスタPT1はソースおよびゲートが同一電圧であり、オフ状態を維持する。

【0113】レベル変換回路25gは、制御信号 ϕ の立上りに応答して切換制御信号 ϕ_n を負電圧 V_{bb} から

外部電源電圧 EV レベルに立上げ、補の切換制御信号 ϕ_n を外部電源電圧 EV から負電圧 V_{bb} レベルに立下げる。したがって、切換回路25iにおいては、MOSトランジスタNT1がオン状態、MOSトランジスタNT2がオフ状態となり、ウェル電圧 ϕ_{wp} として接地電圧 V_{ss} がMOSトランジスタNT1を介して伝達される。このウェル電圧 ϕ_{wp} が接地電圧レベルに設定された場合においても、MOSトランジスタNT2は、そのゲートおよびソースが同一電圧であり、オフ状態を維持する。

【0114】ノーマルモード時には、ウェル電圧 ϕ_{wn} が外部電源電圧 EV レベル、ウェル電位 ϕ_{wp} が接地電圧 V_{ss} レベルとなり、リークカット用MOSトランジスタPQbおよびNQdを低しきい値電圧MOSトランジスタとして動作させることができる。

【0115】なお、この図14に示す電源制御回路の構成においても、DRAMマクロおよびロジック回路それぞれ別々に電源制御回路が設けられてもよい。

【0116】また、ロジック回路において、この動作モードを制御するための信号 SL_{in} および SL_{out} を発生する回路は、外部に設けられたプロセサからの指示信号を受ける必要があり、常時動作する必要があるため、この回路部分に対しては、外部電源電圧が常時与えられる。

【0117】なお、変更例2および3をそれぞれ組合せ、制御信号の電圧レベルのレベル変換およびウェル電圧レベルの変換をセルフリフレッシュモード時行なうように構成してもよい。

【0118】以上のように、この発明の実施の形態1に従えば、スリープモード時メモリセルデータのリフレッシュ動作に関連する部分に対してのみ電源供給電圧を供給し、他の回路部分に対しては、電源供給電圧の供給停止（動作電流の供給停止）を行なうように構成しているため、アクセス時間の増大をもたらすことなくスタンバイ状態時における消費電流を低減することができる。

【0119】〔実施の形態2〕図16は、この発明の実施の形態2に従う半導体装置の全体の構成を概略的に示す図である。この図16に示す半導体装置においては、半導体装置10は、LSIチップ30上に形成される。DRAMマクロ11を取囲むようにロジック回路12が形成される。LSIチップ30上のロジック回路12外部に、ロジック回路12に対する電源トランジスタ31aおよびDRAMマクロ11のコラム系/周辺制御回路14bに対する電源トランジスタ31bが設けられる。これらの電源トランジスタ31aおよび31bは、PチャネルMOSトランジスタで構成され、電源制御回路25からのセルフリフレッシュモード（スリープモード）指示信号 $SR1$ および $SR2$ に従って選択的にオン状態となり、それぞれ外部電源電圧 $EV1$ および $EV2$ をロジック回路12およびコラム系/周辺制御回路14bへ

供給する。

【0120】DRAMセルアレイ13へは外部電源電圧EV3が常時、与えられ、リフレッシュ系回路14aには、常時、外部電源電圧EV4が与えられる。これらの外部電源電圧EV1-EV4は、それぞれの電源電圧レベルが互いに異なってもよく、いくつかの外部電源電圧が同じ電圧レベルであってもよい。

【0121】図17は、ロジック回路12およびコラム系/周辺制御回路14bの電源構成を概略的に示す図である。図17においては、これらのロジック回路12およびコラム系/周辺制御回路14bを内部回路33で表わす。内部回路33に対する電源線32は、電源トランジスタ31を介して外部電源電圧EVを受ける。この内部回路33の他方電源供給ノードは接地ノードであり、接地電圧Vssを受ける。次に、この図16および図17に示す装置の動作を図18に示す信号波形図を参照して説明する。

【0122】ロジック回路12が動作し、かつDRAMマクロ11へロジック回路12がアクセスする通常動作モード時においては、セルフリフレッシュモード（スリープモード）指示信号SR（SR1およびSR2）はLレベルであり、電源トランジスタ31aおよび31bはオン状態にある。この状態においては、ロジック回路12には外部電源電圧EV1が与えられ、またコラム系/周辺制御回路14bへは、外部電源電圧EV2が与えられる。DRAMセルアレイ13およびリフレッシュ系回路14aには、それぞれ外部電源電圧EV3およびEV4が供給される。したがって、この半導体装置内の構成要素を低しきい値電圧MOSTランジスタで構成することにより、高速動作が実現される。

【0123】セルフリフレッシュモード（スリープモード）時においては、セルフリフレッシュモード（スリープモード）指示信号SR（SR1、SR2）が外部電源電圧レベルのHレベルとなり、電源トランジスタ31aおよび31bがオフ状態となる。この状態においては、ロジック回路12およびコラム系/周辺制御回路14bへの電源電圧の供給が停止され、これらへ与えられる動作電源電圧Vccの電圧レベルは、接地電圧レベルに低下する。したがって、この状態においては、ロジック回路12およびコラム系/周辺制御回路14bにおいては、電流消費はほとんど生じない。

【0124】一方、リフレッシュ系回路14aおよびDRAMセルアレイ13においては、このセルフリフレッシュモード時においては、所定の時間間隔でリフレッシュ動作が実行されるだけであり、その消費電流は少ない。セルフリフレッシュモード（スリープモード）から通常動作モードへの移行時において、ロジック回路12およびコラム系/周辺制御回路14bに対する動作電源電圧Vccの電圧レベルが回復するまでに、ある時間が必要とされる。しかしながら、セルフリフレッシュモ

ド（スリープモード）から通常動作モード時移行時においては、セルフリフレッシュモード（ノーマルモード）完了後半導体装置の内部動作開始するまで、ある時間をおくことが定められている（仕様値）。したがって、何らこれらのロジック回路12およびコラム系/周辺制御回路14bの電源電圧Vccの回復にある時間を要しても、何ら高速動作性に悪影響を及ぼすことはない。

【0125】なお、この図16に示す構成において、電源トランジスタ31aおよび31bを設ける代わりに、外部のプロセッサなどの制御の下に、外部電源電圧EV1およびEV2自体の供給が停止されるように構成されてもよい。

【0126】なお、外部電源電圧EV3は、たとえば、2.5Vであり、昇圧電圧Vppおよび負電圧Vbbを生成するために使用されたセンスアンプの電源電圧としても利用される。外部電源電圧EV1、EV2およびEV4は、たとえば1.5Vである。ロジック回路12において、その信号入出力部においては、2.5Vの電圧が動作電源電圧として印加される。なお、この図16に示す構成においては、ロジック回路12に対するこの2つの電源電圧を1つの外部電源電圧EV1で表わす。

【0127】[変更例1] 図19は、この発明の実施の形態2の変更例1の構成を概略的に示す図である。この図19に示す構成においては、DRAMセルアレイ13およびリフレッシュ系回路14aに対し、電源制御回路35からの活性化制御信号RACTにตอบสนองしてその状態（インピーダンス）が切換えられる電源回路36が設けられる。他の構成は、図16に示す構成と同じである。

【0128】電源制御回路35は、SR制御回路20の制御の下に、セルフリフレッシュモード時、実際にリフレッシュ動作が行なわれるとき、制御信号RACT0をHレベルの活性状態に駆動する。電源回路36は、この活性制御信号RACT0がHレベルとなると、低インピーダンス状態となる。通常動作モード時においては、この電源回路36は、低インピーダンス状態を維持する。

【0129】図20は、図19に示す電源回路36の構成を概略的に示す図である。図20において、電源回路36は、制御信号ZRACT0がLレベルのとき導通し、主電源線1dとサブ電源線3dとを接続するPチャネルMOSTランジスタPQdと、制御信号RACTがHレベルのとき導通し、主接地線2dをサブ接地線4dに接続するNチャネルMOSTランジスタNQdを含む。

【0130】リフレッシュ系回路14aは、スタンバイ状態時における入力信号INの論理に応じて電源ノードの接続先が定められる。図20においても、このリフレッシュ系回路14aとして、5段のインバータIV1-IV5を代表的に示す。リークカット用MOSTランジスタPQdおよびNQdのしきい値電圧は、L-Vth MOSTランジスタPTおよびNTに比べて比較的高く

される。次に、この図19および20に示す構成の動作を図21に示す信号波形図を参照して説明する。

【0131】通常動作モード時においては、制御信号RACT0はHレベル、制御信号ZRACT0はLレベルである。リークカット用MOSトランジスタPQdおよびNQdはともにオン状態にあり、サブ電源線3dおよびサブ接地線4dはそれぞれ主電源線1dおよび主接地線2eに接続される。この状態においては、リフレッシュ系回路14aは、電源が低インピーダンス状態にあり、高速動作する。

【0132】セルフリフレッシュモードに入ると、制御信号RACT0がLレベル、制御信号ZRACT0がHレベルとなる。このセルフリフレッシュモード時には、SR制御回路20の制御の下に所定の周期でリフレッシュ動作が実行される。このリフレッシュ動作時、制御信号RACT0がHレベル制御信号ZRACT0がHレベルとなり、リークカット用MOSトランジスタPQdおよびNQdがともにオン状態となる。したがって、リフレッシュ動作時には、安定に電流が供給されて、リフレッシュ動作を行なうことができる。リフレッシュ周期でアクティブサイクルおよびスタンバイサイクルがリフレッシュ系回路14aにおいて実行され、そのアクティブサイクル時には、電源回路36のインピーダンスが低くされる。これにより、スタンバイ状態時における消費電流をより低減することができる。コラム系/周辺制御回路14bおよびロジック回路12の電源回路は、先の図16に示す構成の場合と同様である。

【0133】図22は、図19に示す電源制御回路35の構成の一例を示す図である。図22において、電源制御回路35は、セルフリフレッシュモード指示信号SRを受けるインバータ35aとインバータ35aの出力信号とアレイ活性化指示信号ACTを受けて制御信号RACT0を生成するOR回路35bを含む。セルフリフレッシュモード指示信号SRは、セルフリフレッシュモード時Hレベルとなる。アレイ活性化指示信号ACTは、ロウ系回路21が動作状態の間Hレベルとなる。したがって、この制御信号RACT0は通常動作モード時、常時、Hレベルとなり、セルフリフレッシュモード時、アレイ活性化信号ACTに従ってHレベルとなる。

【0134】なお、図19に示す構成においては、SR制御回路20およびロウ系回路21に対する電源がともに制御されている。しかしながら、SR制御回路20においては、リフレッシュ周期を決定するタイマを含んでおり、このタイマの動作を安定化するため、SR制御回路20へは常時電源電圧を印加し、ロウ系回路21に対してのみ図20に示すような階層電源構成が利用されてもよい。

【0135】[変更例2] 図23は、この発明の実施の形態2の変更例2の構成を概略的に示す図である。この

図23に示す構成においては、コラム系/周辺制御回路14bに対し、外部電源電圧EV2を降圧する内部降圧回路が設けられる。すなわち、コラム系/周辺制御回路14bに対する電源回路として、内部電源電圧と所定電圧とを比較する比較器39と、比較器39の出力信号に従って外部電源電圧EV2を受ける電源ノードからコラム系/周辺制御回路14bへの電源線に電流を供給するPチャネルMOSトランジスタ31cと、セルフリフレッシュモード（スリープモード）指示信号SR2がLレベルのとき導通し、基準電圧Vrefを選択して所定電圧として比較器39へ与えるPチャネルMOSトランジスタ37と、セルフリフレッシュモード（スリープモード）指示信号SR2がHレベルのとき導通し接地電圧Vssを所定電圧として比較器39へ伝達するNチャネルMOSトランジスタ38を含む。他の構成は、図16に示す構成と同じである。

【0136】この図23に示す構成においては、通常動作モード時において、セルフリフレッシュモード（スリープモード）指示信号SR（SR1、SR2）がLレベルであり、NチャネルMOSトランジスタ38がオフ状態、PチャネルMOSトランジスタ37がオン状態となり、基準電圧Vrefが比較器39へ与えられる。したがって、比較器39およびPチャネルMOSトランジスタ31cのフィードバックループが、基準電圧Vrefとはほぼ実質的に電圧レベルが等しくなる内部電源電圧を生成してコラム系/周辺制御回路14bへ与える。

【0137】一方、セルフリフレッシュ（スリープ）モード時には、MOSトランジスタ37がオフ状態、MOSトランジスタ38がオン状態となり、接地電圧が比較器39へ与えられる。したがって、比較器39は、接地電圧レベルにコラム系/周辺制御回路14bの内部電源電圧を設定する。なお、この比較器39は外部電源電圧EV2に従って動作する。

【0138】また図23に示す構成においては、電源制御回路25が、ロジック回路12に対する電源電圧およびコラム系/周辺制御回路14bに対する内部降圧回路の動作制御を行なう信号SR2およびSR1を生成して、しかしながら、このコラム系/周辺制御回路14bに対する内部降圧回路の動作制御用の信号SR2を発生する回路とロジック回路12に対する電源トランジスタの動作を制御する信号SR1を発生する電源制御回路はそれぞれ別々に設けられてもよい。

【0139】コラム系/周辺制御回路14bにおいては、セルフリフレッシュモード時には、接地電圧レベルに内部電源電圧が設定されるため、電流消費は生じない。単に比較器39の比較動作により、電流が消費されるだけである。基準電圧Vrefは、外部電源電圧EV2から生成されるが、この基準電圧発生回路は、大きな電流駆動能力が要求されないため、その消費電流は十分小さい。

【0140】以上のように、この発明の実施の形態2に従えば、セルフリフレッシュモード（スリープモード）時には、回路動作を停止する部分への電源供給を遮断するように構成しているため、セルフリフレッシュモード（スリープモード）時における消費電流を大幅に低減することができる。また、通常動作モード時には、常時外部からの電源電圧が供給されるため、低しきい値電圧MOSトランジスタにより高速動作が実現される。

【0141】【実施の形態3】図24は、この発明の実施の形態3の半導体装置の構成を概略的に示す図である。図24においては、ロジック回路12に対し基板バイアス電圧を発生するウェル電位発生回路51aが設けられ、またDRAMマクロ11のコラム系/周辺制御回路14bに対し基板バイアス電圧を発生するウェル電位発生回路51bが設けられる。これらのウェル電位発生回路51aおよび51bは対応の回路の基本領域へバイアス電圧を印加し、ウェル電位制御回路55からのウェル電位制御信号SR1、SR2およびZSR1、ZSR2によりその発生電位が切換えられる。

【0142】DRAMセルアレイ13およびリフレッシュ系回路14aのNウェル領域へは、常時、外部電源電圧EV3およびEV4がそれぞれNウェル電圧として供給される。Pウェル領域には、図示しない接地電圧がまたこれらのDRAMセルアレイ13およびリフレッシュ系回路14bに与えられる。ここで、DRAMセルアレイ13のPウェル（基板領域）へ、負電圧Vbbが基板バイアス電圧として与えられてもよい。

【0143】図25は、図24に示すウェル電位発生回路51aおよび51bの構成を概略的に示す図である。これらのウェル電位発生回路51aおよび51bは、同じ回路構成を有するため、図25において1つのウェル電位発生回路51を代表的に示す。

【0144】図25においては、PチャネルMOSトランジスタが形成されるNウェル（基板領域）に印加される電圧VSNを発生する部分の構成を示す。図25において、ウェル電位発生回路51は、外部電源電圧EVから、この外部電源電圧EVよりも高い昇圧電圧Vppを発生するVpp発生回路57と、制御信号SRPがLレベルのとき導通し、外部電源電圧EVを通過させるPチャネルMOSトランジスタ56aと、制御信号ZSRPがLレベルのとき導通し、Vpp発生回路57からの昇圧電圧Vppを通過させるPチャネルMOSトランジスタ56bを含む。これらのMOSトランジスタ56aおよび56bからの電圧がウェル電圧VSNとして対応の回路に形成されたPチャネルMOSトランジスタのウェル領域（基板領域）へ与えられる。制御信号SRPは、外部電源電圧EVと接地電圧Vssの電圧レベルの間で変化し、制御信号ZSRPは、接地電圧Vssと昇圧電圧Vppの間で変化する。

【0145】図26は、図24に示すウェル電位発生回

路51の、対応の回路内のNチャネルMOSトランジスタが形成されるPウェル（基板領域）へ印加されるウェル電位VSPを発生する部分の構成を概略的に示す図である。図26において、ウェル電位発生回路51は、外部電源電圧EVから負電圧Vbbを発生するVbb発生回路58と、制御信号ZSRNがHレベルのとき導通し、接地電圧Vssを通過させるPチャネルMOSトランジスタ56cと、制御信号SRNがHレベルのとき導通し、Vbb発生回路58からの負電圧Vbbを通過させるNチャネルMOSトランジスタ56dを含む。これらのMOSトランジスタ56cおよび56dから与えられる電圧VSPが、基板バイアス電圧として対応の回路内のNチャネルMOSトランジスタが形成されるPウェル（基板領域）へ与えられる。制御信号SRNおよびZSRNは、電源電圧EVと負電圧Vbbの間で変化する。

【0146】セルフリフレッシュモード時には、制御信号ZSRPが接地電圧Vssレベル、制御信号SRPが昇圧電圧Vppレベルとなり、MOSトランジスタ56bがオン状態、MOSトランジスタ56aがオフ状態となり、Nウェルへ、昇圧電圧Vppが印加される。したがって、PチャネルMOSトランジスタのしきい値電圧の絶対値が大きくなり、リーク電流が抑制される。

【0147】また図26に示すように、セルフリフレッシュモード時には、制御信号SRNが外部電源電圧EVレベル、制御信号ZSRNが負電圧Vbbレベルとなり、MOSトランジスタ56dがオン状態、MOSトランジスタ56cがオフ状態となり、Pウェル電位VSPは、負電圧Vbbレベルとなる。したがって、セルフリフレッシュモード時NチャネルMOSトランジスタの基板バイアスが深くなり、そのしきい値電圧が大きくなり、リーク電流が低減される。

【0148】通常動作モード時には制御信号SRPが接地電圧Vssレベル、制御信号ZSRPが昇圧電圧Vppレベルとなり、MOSトランジスタ56aがオン状態、MOSトランジスタ56bがオフ状態となり、Nウェルの電位VSNは外部電源電圧EVレベルとなる。

【0149】同様、図26において、制御信号SRNが負電圧Vbbレベル、制御信号ZSRNが外部電源電圧EVレベルとなり、MOSトランジスタ56dがオフ状態、MOSトランジスタ56cがオン状態となり、Pウェル電位VSPは、接地電圧Vssレベルとなる。これにより、低しきい値電圧MOSトランジスタが実現され高速動作が実現される。

【0150】なお、この図25から図26に示すウェル電位発生回路51に対し制御信号を発生する部分の構成は、図14に示す構成を利用することができる。また、電源回路も同様セルフリフレッシュモード（スリープモ

ード)と通常モード(ノーマルモード)において電源のオン/オフまたはインピーダンスの調整が実行される(実施の形態1または2を利用)。なお、外部電源電圧をセルフリフレッシュモード(スリープモード)時に遮断する場合、特に、このウェル電位を制御する必要はない(リーク経路は存在しないため)。

【0151】以上のように、この発明の実施の形態3に従えば、セルフリフレッシュモード(スリープモード)時において、回路動作が停止される回路部分のウェル(基板領域)電位の絶対値を大きくしているため、回路内の構成要素の低い値電圧のMOSトランジスタの低い値電圧の絶対値を大きくすることができ、オフリーク電流を低減することができ、消費電流を低減することができる。

【0152】[実施の形態4] 図27は、この発明の実施の形態4に従う半導体装置の全体の構成を概略的に示す図である。図27に示す構成においては、DRAMセルアレイ13へは外部電源電圧EV3が与えられ、またリフレッシュ系回路14aには、外部電源電圧EV4が与えられる。ロジック回路12へは、制御信号SR1に
20 応答する電源トランジスタ31aを介して外部電源電圧EV1が動作電源電圧として与えられる。コラム系/周辺制御回路14bへは、制御信号SR2に
20 応答する電源トランジスタ31bを介して外部電源電圧EV2が動作電源電圧として与えられる。

【0153】DRAMマクロ11においては、さらに、このリフレッシュ系回路14aおよびDRAMセルアレイ13のウェル電圧(基板領域の電圧) V_{subr} および V_{subm} の電圧レベルを制御するウェル電源回路60が設けられる。他の構成は、図6に示す構成と同じであり、対応する部分には同一参照番号を付す。また電源制御回路25が、制御信号SR1およびSR2をともに生成しているが、この電源制御回路25は、電源トランジスタ31aおよび31bそれぞれに対応して別々に設けられてもよい。

【0154】ウェル電源回路60の具体的構成は、たとえば図14に示す構成と同じであり、リフレッシュ系回路14aに含まれるSR制御回路20からのセルフリフレッシュモード指示信号SRに従って各回路基板領域へ印加されるウェル電圧 V_{subr} および V_{subm} の絶対値を大きくする。図14の回路においてウェル電圧 ϕ_{wn} および ϕ_{wp} をそれぞれNウェル電位 V_{SN} およびPウェル電位 V_{SP} に変更することにより、この図27に示すウェル電源回路60の構成が実現される。DRAMセルアレイ13およびリフレッシュ系回路14aそれぞれのウェル電圧 V_{subr} および V_{subm} の絶対値は、それぞれの回路特性に応じて適当な値に設定される。

【0155】[変更例] 図28は、図27に示すウェル電源回路60の変更例の構成を示す図である。この図2

8に示すウェル電源回路は、DRAMセルアレイ13のたとえばメモリセルが形成されるPウェルの電圧 V_{SP} を調整する。

【0156】図28において、DRAMセルアレイ13に対するウェル電源回路60は、外部電源電圧EV3に従って昇圧電圧 V_{pp} を発生する V_{pp} 発生回路60aと、外部電源電圧EV3を一方動作電源電圧として受けて動作し、接地電圧よりも低い負電圧 V_{bb1} を発生する V_{bb1} 発生回路60bと、外部電源電圧EV3を動作電源電圧として受けて動作し、負電圧 V_{bb1} よりも絶対値の小さな負電圧 V_{bb2} を発生する V_{bb2} 発生回路60cと、昇圧電圧 V_{pp} および接地電圧 V_{ss} を両動作電源電圧として受けて動作し、セルフリフレッシュモード指示信号SR3の電圧レベルを変換して制御信号 ϕ_p および ϕ_n を生成するレベル変換回路60dと、外部電源電圧EV3と負電圧 V_{bb1} を両動作電源電圧として動作し、セルフリフレッシュモード指示信号SR3のレベルを変換して切換制御信号 ϕ_n および ϕ_p を生成するレベル変換回路60eと、レベル変換回路60dからの切換制御信号 ϕ_p および ϕ_n に従って外部電源電圧EV3および昇圧電圧 V_{pp} の一方を選択してNウェルへ印加されるNウェル電圧 V_{SN} を生成する切換回路60fと、レベル変換回路60eからの切換制御信号 ϕ_n および ϕ_p に従って負電圧 V_{bb1} および V_{bb2} の一方を選択してPウェルへ印加されるPウェル電圧 V_{SP} を生成する切換回路60gを含む。

【0157】切換回路60fは、切換制御信号 ϕ_p がLレベルのとき導通し、昇圧電圧 V_{pp} を伝達するPチャネルMOSトランジスタPT3と、切換制御信号 ϕ_p がLレベルのとき導通し外部電源電圧EV3を伝達するPチャネルMOSトランジスタPT4を含む。MOSトランジスタPT3およびPT4の一方により、Nウェル電圧 V_{SN} が生成される。

【0158】切換回路60gは、切換制御信号 ϕ_n がHレベルのとき導通し、負電圧 V_{bb2} を伝達するNチャネルMOSトランジスタNT3と、切換制御信号 ϕ_n がHレベルのとき導通し、負電圧 V_{bb1} を伝達するNチャネルMOSトランジスタNT4を含む。これらのMOSトランジスタNT3およびNT4が伝達する電圧がPウェル電圧 V_{SP} となる。

【0159】なお、 V_{pp} 発生回路60a、 V_{bb1} 発生回路60bおよび V_{bb2} 発生回路60cは、それぞれキャパシタのチャージポンプ動作を利用する回路により所望電圧を生成する。次に、この図28に示す回路の動作を図29に示す信号波形図を参照して説明する。

【0160】セルフリフレッシュモード時において、セルフリフレッシュモード指示信号SR3がHレベルとなり、切換制御信号 ϕ_p がLレベル、切換制御信号 ϕ_n がHレベルとなる。したがって、切換回路60fにおいてMOSトランジスタPT3がオン状態、MOSラン

ジスタPT4がオフ状態となり、Nウェル電圧VSNは昇圧電圧Vppレベルとなる。一方レベル変換回路60eは、このセルフリフレッシュモード指示信号SR3の立上がりに対応して切換制御信号φnを負電圧Vbb1レベルのLレベル、切換制御信号φnを外部電源電圧EV3のHレベルに設定する。したがって、切換回路60gにおいては、MOSTランジスタNT3がオフ状態、MOSTランジスタNT4がオン状態となり、Pウェル電圧VSPとして負電圧Vbb1が伝達される。MOSTランジスタNT3はゲート電圧が負電圧Vbb1レベルであり、そのソース電位がPウェル電圧VSPと同じ電圧レベルであり、オフ状態を維持する。

【0161】通常動作モード時（ノーマルモード時）においては、セルフリフレッシュモード指示信号SR3がLレベルとなり、切換制御信号φpが昇圧電圧VppレベルのHレベル、切換制御信号／φpが接地電圧レベルのLレベルとなり、Nウェル電圧VSNは、切換回路60fのオン状態のMOSTランジスタPT4により外部電源電圧EV3の電圧レベルになる。

【0162】一方、レベル変換回路60eは切換制御信号φnを外部電源電圧EV3のHレベル、切換制御信号／φnを負電圧Vbb1レベルのLレベルに設定する。したがって、切換回路60gにおいて、MOSTランジスタNT3がオン状態、MOSTランジスタNT4がオフ状態となり、Pウェル電圧VSPとして、負電圧Vbb2が伝達される。したがって、セルフリフレッシュモード時、Nウェル電圧VSNおよびPウェル電圧VSPは、通常動作モード時よりもその絶対値が大きくなり、より深いバイアス状態となり、アレイおよび回路内のMOSTランジスタのオフリーク電流を低減する。

【0163】[リフレッシュ系回路の構成] 図30は、図27に示すリフレッシュ系回路の構成を概略的に示す図である。セルフリフレッシュモード時には通常動作モード時とウェル電位が異なることにより、MOSTランジスタのしきい値電圧およびドレイン電流が変化し、応じて回路性能が変化する。したがって、通常動作モード時と同じタイミングでロウ系回路を動作させた場合、メモリセルデータのリフレッシュを正確に行なうことができなくなることが考えられる。このウェル電位変化を補正する機能を、図30および図31に示すリフレッシュ系回路は備える。

【0164】図30においては、リフレッシュ系回路14aに含まれるSR制御回路20の構成を概略的に示す。図30において、SR制御回路20は、外部から与えられる動作モード指示信号（コマンド）CMDに従ってセルフリフレッシュモードが指定されたことを検出するセルフリフレッシュモード検出回路20aと、セルフリフレッシュモード検出回路20aからのセルフリフレッシュモード検出信号に応答して起動され、所定の時間間隔でリフレッシュ要求信号φrefを発生するタイマ

20bと、タイマ20bからのリフレッシュ要求信号φrefに従って所定の時間幅を有するワンショットのアレイ活性化信号RACT（ACT）を発生するセルフリフレッシュ設定回路20cと、セルフリフレッシュモード時起動され、このセルフリフレッシュ設定回路20cからのアレイ活性化信号RACT（ACT）の非活性化に対応して、そのカウント値を1増分してリフレッシュ行を示すリフレッシュアドレスRFADを出力するアドレスカウンタ20dと、セルフリフレッシュモード検出回路20aからのセルフリフレッシュモード検出信号に応答して、外部からのアクセス動作（列選択動作）を禁止する外部アクセス禁止回路20eを含む。

【0165】この図30に示すSR制御回路20へは、図27に示す外部電源電圧EV4が常時与えられ、また構成要素のMOSTランジスタのウェル電圧が図27に示すウェル電源回路60の制御の下に制御される。したがって、セルフリフレッシュモード時において、MOSTランジスタのしきい値電圧の絶対値が変化した場合、タイマ20bの出力するリフレッシュ要求信号φREFの周期およびセルフリフレッシュ設定回路20cからのアレイ活性化信号RACT（図22の信号ACTに対応）の活性化期間が変化する。しかしながら、このセルフリフレッシュモード時に設定されるウェル電位に応じて予めタイマ20bおよびセルフリフレッシュ設定回路20cの動作パラメータを設定することにより、所定の周期でセルフリフレッシュ要求信号φrefを生成し、かつ一定のたとえば700nsの時間幅を有するアレイ活性化信号RACTを発生することができる。この図30に示すSR制御回路20は、セルフリフレッシュモードが設定されたときに動作し、通常動作モード時には動作しないため、通常動作モード時におけるアクセス動作に何ら影響は及ぼさない。

【0166】図31は、図27に示すロウ系回路21の構成を概略的に示す図である。図31において、ロウ系回路21は、セルフリフレッシュモード時、図30に示すセルフリフレッシュ設定回路20cからのアレイ活性化信号RACTの活性化に対応してロウデコーダ活性化信号RDEを発生するロウデコーダ活性化回路21aと、ロウデコーダ活性化回路21aからのロウデコーダ活性化信号RDEの活性化に対応して所定期間経過後ワード線ドライブ信号MRXを発生するワード線ドライブ活性化回路21bと、ワード線ドライブ活性化回路21bからのワード線ドライブ信号MRXの活性化に対応して所定期間経過後センスアンプ活性化信号MSAEを活性化するセンスアンプ活性化回路21cと、セルフリフレッシュモード指示信号SR3によりその遅延時間が変更され、ワード線ドライブ活性化回路21bからのワード線ドライブ信号MRXを設定された時間遅延してワード線ドライブ信号RXを生成する可変遅延回路21eと、セルフリフレッシュモード指示信号SR3によりそ

の遅延時間が調整され、センスアンプ活性化回路21cからのセンスアンプ活性化信号MSAEに従ってセンスアンプ活性化信号SAEを生成する可変遅延回路21fと、可変遅延回路21fからのセンスアンプ活性化信号SAEの非活性化にตอบสนองしてビット線プリチャージ/イコライズ指示信号BPEを活性化するビット線プリチャージ/イコライズ活性化回路21dを含む。

【0167】これらのワード線ドライブ活性化回路21b、センスアンプ活性化回路21cおよびプリチャージ/イコライズ活性化回路21dはアレイ活性化信号RACTの非活性化にตอบสนองしてそれぞれ所定のタイミングで対応の信号MRX、MSAE、およびBPEを非活性化する。

【0168】可変遅延回路21eおよび21fは、セルフリフレッシュモード指示信号SR3が活性化状態にありセルフリフレッシュモード時には、その遅延時間を長くし、通常動作モード時には、その遅延時間は短くされる。

【0169】ロウ系回路21は、さらに、ロウデコーダ活性化回路21aからのロウデコーダ活性化信号RDEの活性化にตอบสนองして活性化され、図30に示すアドレスカウンタ20dからのリフレッシュアドレスRFADをデコードするロウデコーダ21gと、ロウデコーダ21gからのデコード信号と可変遅延回路21eからのワード線ドライブ信号RXとに従ってアドレス指定された行に対応するワード線WLを選択状態へ駆動するワード線ドライバ21hと、DRAMセルアレイ13の各列（ビット線対）BLPにそれぞれ対応して設けられ、ビット線プリチャージ/イコライズ指示信号BPEに従ってビット線対BLPの電位を所定の電圧レベルにプリチャージしかつイコライズするビット線プリチャージ/イコライズ回路21jと、センスアンプ活性化信号SAEの活性化時活性化され、DRAMセルアレイ13のビット線対BLPへの電位を差動増幅するセンスアンプ回路21iを含む。

【0170】このDRAMセルアレイ13に対して設けられるセンスアンプ回路21iは図27に示す外部電源電圧EV3を動作電源電圧として消費し、ビット線プリチャージ/イコライズ回路21jは、このDRAMセルアレイ13に与えられる外部電源電圧EV3から生成される中間電圧レベルに、ビット線対BLPをプリチャージしかつイコライズする。この図31に示す残りのロウ系回路要素は、図27に示す外部電源電圧EV4を動作電源電圧として受けて動作する。

【0171】次に、この図30および図31に示すリフレッシュ系回路14aの動作を図32に示す信号波形図を参照して説明する。

【0172】セルフリフレッシュモード時には、セルフリフレッシュモード指示信号SR3がHレベルの活性化状態となる。このセルフリフレッシュモード指示信

号SR3は、図30に示すセルフリフレッシュモード検出回路20aにより生成される。外部アクセス禁止回路20eは、このセルフリフレッシュモード指示信号SR3の活性化時、外部アクセス（外部からのアクセスコマンドの受付）を禁止する。

【0173】このセルフリフレッシュモード時に、所定の時間が経過すると、所定の周期でタイマ20bがリフレッシュ要求信号φrefを発生する。セルフリフレッシュ設定回路20cは、リフレッシュ要求信号φrefが発生（活性化）されると、所定の時間幅を有するワンショットのバルス信号をアレイ活性化信号RACTとして出力する。

【0174】このアレイ活性化信号RACTの活性化に従って、図31に示すロウデコーダ活性化回路21aがロウデコーダ活性化信号RDEを活性化する。ロウデコーダ21gへは、図30に示すアドレスカウンタ20dからのリフレッシュアドレスRFADが図示しないマルチプレクサを介して与えられており、ロウデコーダ21gがこのリフレッシュアドレスRFADをデコードする。このデコード動作と並行して、プリチャージ/イコライズ活性化回路21dは、ビット線プリチャージ/イコライズ指示信号BPEを非活性化状態のLレベルとし、図31に示すビット線プリチャージ/イコライズ回路21jがビット線対のプリチャージ/イコライズ動作を停止する。ロウデコーダ活性化信号RDEが活性化されると、所定時間経過後、ワード線ドライブ活性化回路21bからのワード線ドライブ信号MRXが活性化状態へ駆動される。可変遅延回路21eは、セルフリフレッシュモード時、その遅延時間が長くされており、ワード線ドライブ活性化回路21bからのワード線ドライブ信号MRXを所定時間遅延してワード線ドライブ信号RXを活性化状態へ駆動する。したがって、ロウデコーダ21gは、MOSTランジスタのしきい値電圧の絶対値が大きくなったため、そのデコード時間が長くなった場合においても、確実に、ワード線ドライバ21hに対し、ワード線ドライブ信号RXを与え、ロウデコーダ21gからのデコード信号が確定状態となった後にワード線の活性化を行なうことができる。

【0175】ワード線ドライブ信号RXの活性化に従って選択ワード線WLの電圧レベルが上昇すると、ビット線対BLPにメモリセルMCのデータが読出される。図32においては、Hレベルデータがビット線対BLPに読出されたときのビット線対BLPの信号波形を示す。セルフリフレッシュモード時、メモリセルの基板領域も、そのバイアスが深くされており、メモリセルトランジスタのしきい値電圧は大きくなっている。したがって、セルフリフレッシュモード時、ビット線対BLPに現われる電位変化は通常動作モード時よりもゆるやかである。しかしながら、センスアンプ活性化回路21cが、センスアンプ活性化信号MSAEを活性化しても、

可変遅延回路21fがセンスアンプ活性化信号FAEの活性化タイミングを遅らせている(図32において矢印で示す)。したがって、ビット線対BLPの電位が十分に拡大した後に、センスアンプ回路21iが活性化されてセンス動作を行なう。これにより、メモリセルデータのリフレッシュが確実に実行される。

【0176】所定時間が経過すると、図30に示すセルフリフレッシュ設定回路20cからのアレイ活性化信号RACTが非活性化状態へ駆動される。このアレイ活性化信号RACTの非活性化にตอบสนองしてアドレスカウンタ20dが、そのリフレッシュアドレスRFADのアドレス値を1増分する。この非活性化にตอบสนองしてロウデコーダ活性化回路21aからのロウデコーダ活性化信号RDEが非活性化状態へ駆動され、ロウデコーダ21gが非活性化状態となり、デコード動作を完了する。このデコード動作完了時においても、ロウデコーダ21gの内部ノードのプリチャージ時間が遅れることが考えられる(セルフリフレッシュモード時)。しかしながら、この場合においても、可変遅延回路21eからのワード線ドライブ信号RXは、その非活性化が遅らされており、ロウデコーダ21gの非活性化に従って選択ワード線を個別に非選択状態へ駆動することができる。

【0177】また、センスアンプ活性化信号SAEも、この可変遅延回路21fにより、ワード線WL(ワード線ドライブ信号RX)が非活性化状態となった後に非活性化され、センス動作を完了する。このセンス動作が完了した後、センスアンプ活性化信号SAEの非活性化にตอบสนองして図31に示すプリチャージ/イコライズ活性化回路21dがビット線プリチャージ/イコライズ指示信号BPEを活性化状態へ駆動する。したがって、この状態においてセンスアンプ回路の動作が遅い場合においても、確実に、センスアンプ回路のセンス動作が完了した後に、ビット線対BLPのプリチャージ/イコライズ動作を行なうことができる。

【0178】なお、図32において信号波形内において右向き矢印で示すのは、信号が可変遅延回路21eおよび21fによりその変化タイミングが遅れることを示す。

【0179】図33は、図31に示す可変遅延回路21eおよび21fの構成の一例を示す図である。可変遅延回路21eおよび21fは同じ構成を有し、その遅延時間が異なるだけであり、図33においては、センスアンプ活性化信号SAEに対して設けられた可変遅延回路21fを示す。図33において、可変遅延回路21fは、センスアンプ活性化回路21cからのセンスアンプ活性化信号MSAEを所定時間遅延する遅延回路61aと、セルフリフレッシュモード指示信号SR3の活性化時導通し、遅延回路61aの出力信号を通過させるCMOSトランジションゲート61bと、セルフリフレッシュモード指示信号SR3の非活性化時導通し、センスア

ンプ活性化回路21cからのセンスアンプ活性化信号MSAEを通過させるCMOSトランジションゲート61cを含む。

【0180】これらのCMOSトランジションゲート61bおよび61cから、センスアンプ回路へ与えられるセンスアンプ活性化信号SAEが出力される。遅延回路61aは、たとえば偶数段のインバータで構成され、その遅延時間は予め定められる。

【0181】この図33に示す可変遅延回路21fと同様の構成を、図31に示す可変遅延回路21eが有している(実際の遅延時間が異なる)。したがって、セルフリフレッシュモード時、ウェル電位の絶対値を高くして、MOSトランジスタのしきい値電圧の絶対値が高くされた場合において、リフレッシュ系回路の動作速度が低下する場合においても、リフレッシュを行なうためのタイミング信号の活性化タイミングを遅延させることにより、この回路動作速度低下を抑制し、正確にリフレッシュを行なうことができる。

【0182】通常動作モード時においては、センスアンプ活性化信号SAEは、センスアンプ活性化回路21cからのセンスアンプ活性化信号MSAEに従って生成される。このときは、遅延は存在しないため、ウェル電位の絶対値が小さくされた場合、高速で動作することができ、通常動作モード時に、悪影響を及ぼすことはない。この通常モード時には、ロウデコーダ活性化回路21aへ、アレイ活性化信号RACTに代えて、外部信号に従ってアレイ活性化信号(ACT)が生成されて与えられる。

【0183】以上のように、この発明の実施の形態4に従えば、セルフリフレッシュモード時、リフレッシュに関連する部分に対してのみ電源電圧を供給し、他回路に対しては電源をオフ状態とし、かつリフレッシュ動作に関連する回路部分のウェル電位の絶対値を大きくしているため、スタンバイ状態時における消費電流をより低減することができる。

【0184】[実施の形態5] 図34は、この発明の実施の形態5に従う半導体装置の構成を概略的に示す図である。図34においては、DRAMマクロ11に含まれるSR制御回路20およびコラム系/周辺制御回路14bの部分の構成を示す。

【0185】図34において、SR制御回路20は、動作モード指示信号(コマンド)CMDに従ってセルフリフレッシュモードが指定されたことを検出するセルフリフレッシュモード検出回路20aと、このセルフリフレッシュモード検出回路20aからのセルフリフレッシュモード指示信号SRに従って計時動作を行ない、所定期間ごとにリフレッシュ要求信号φrefを出力するタイマ20bと、図示しないセルフリフレッシュ設定回路(図30参照)の制御の下にカウント値を増分または減分してリフレッシュアドレスRFADを出力する退避キ

ャバシタ付アドレスカウンタ20daを含む。

【0186】セルフリフレッシュモード検出回路20aは、セルフリフレッシュモード時その記憶内容がキャバシタに退避される退避キャバシタ付フリップフロップ62を含む。退避キャバシタ付アドレスカウンタ20daは、セルフリフレッシュモード時そのカウント値がキャバシタに退避される。

【0187】コラム系/周辺制御回路14bは、モード指示信号MDに従って各種動作モードを指定する動作パラメータを格納する退避キャバシタ付モードレジスタ63を含む。このモードレジスタ63は、データ出力モードとして、トランスベアレント出力モード、レジスタ出力モードおよびラッチ出力モードのいずれかを設定する出力モード指示信号OMDと、リード/ライト指示信号が与えられてから有効データが出力されるまでに必要とされるクロックサイクル期間を示すコラムレイテンシC_Lおよび1つの列アクセスコマンドにより連続して出力されるデータの数を表わすバースト長データBTLを格納しかつ出力する(DRAMマクロは、クロック同期型DRAMを想定する)。

【0188】セルフリフレッシュモード時においても、フリップフロップ62、アドレスカウンタ20daおよびモードレジスタ63の格納データ/信号は、確実に保持する必要がある。通常のラッチ回路およびフリップフロップ回路においては、保持データの“0”および“1”の論理レベルに従って、1ビット当り記憶ノードの状態が2種類存在する。したがって、従来のような階層電源構成(オフリーク電流低減回路)を適用することができない。これは、保持データのどちらか一方の側において、オフリーク電流が流れる経路が必ず存在するため、スタンバイ電流を低減することができなくなるためである。

【0189】この図34に示す退避キャバシタ付フリップフロップ62、退避キャバシタ付アドレスカウンタ20daおよび退避キャバシタ付モードレジスタ63を利用することにより、これらの回路への電源電圧E_Vの供給を遮断し、電源遮断状態時に、キャバシタに記憶情報を退避させる。リフレッシュ動作が実行されるときに、退避キャバシタに退避した情報についてもリフレッシュ動作を実行する。これにより、セルフリフレッシュモードにおけるオフリーク電流を低減する。

【0190】タイマ20bは、セルフリフレッシュモード時、計時動作を行なう必要があり、このセルフリフレッシュモードの間、常時動作電源電圧が供給される。

【0191】図35は、図34に示す退避キャバシタ付フリップフロップ62、退避キャバシタ付アドレスカウンタ20daおよび退避キャバシタ付モードレジスタ63の構成の一例を示す図である。図35において、1ビットのデータを格納するレジスタ回路の部分の代表的に示す。

【0192】図35において、退避キャバシタ付レジスタ回路は、アレイ活性化指示信号RACTの反転信号/R_{ACT}がLレベルのとき導通するPチャネルMOSトランジスタPT5と、MOSトランジスタPT5と記憶ノードSND1の間に接続されかつそのゲートが記憶ノードSND2に接続されるPチャネルMOSトランジスタPT6と、記憶ノードSND1と接地ノードの間に接続され、かつそのゲートが記憶ノードSND2に接続されるNチャネルMOSトランジスタNT5と、MOSトランジスタPT5と記憶ノードSND2の間に接続され、かつそのゲートが記憶ノードSND1に接続されるPチャネルMOSトランジスタPT7と、記憶ノードSND2と接地ノードの間に接続されかつそのゲートが記憶ノードSND1に接続されるNチャネルMOSトランジスタNT6を含む。これらのMOSトランジスタPT6、PT7およびNT5、NT6は、動作時インバータラッチ回路を構成する。

【0193】退避キャバシタ付レジスタ回路は、さらに、キャバシタC1およびC2と、転送制御信号Z_{RACT}がHレベルのとき導通し、キャバシタC1およびC2をそれぞれ、記憶ノードSND1およびSND2に接続するNチャネルMOSトランジスタNT7およびNT8を含む。キャバシタC1およびC2は、MOSトランジスタのゲート容量を利用するMOSキャバシタで構成される。次に、この図35に示す退避キャバシタ付レジスタ回路の動作を、図36に示す信号波形図を参照して説明する。

【0194】通常動作モード(ノーマルモード)時には、セルフリフレッシュモード指示信号SRはLレベルであり、図34に示すタイマ20bは起動されない。この状態においては、外部から与えられる行アクセス指示信号に従って、コラム系/周辺制御回路がアレイ活性化信号ACTを生成して、ロウ系回路へ与え、行選択動作を実行する。このアレイ活性化信号ACTが活性状態の間、DRAMセルアレイは活性状態にある(選択ワード線が選択状態に維持される)。この通常モード時には、信号/R_{ACT}はLレベルのセルフリフレッシュモード指示信号SRによりLレベルとなり、MOSトランジスタPT5がオン状態となり、この退避キャバシタ付レジスタ回路が動作し、記憶ノードSND1およびSND2には、図示しない回路から書込まれたデータが格納されて保持される。

【0195】記憶ノードSND1およびSND2の電圧レベルが記憶情報に応じて安定化すると、MOSトランジスタPT6、PT7、NT5およびNT6は、CMOSインバータラッチを構成しており、オフリーク電流I_{off}が流れるだけである。転送制御信号Z_{RACT}はLレベルであり、MOSトランジスタNT7およびNT8はオフ状態を維持する。したがって、通常モード時には、この退避キャバシタ付レジスタ回路において

は記憶ノードSND1およびSND2の保持データは、MOSTランジスタPT6、PT7、NT5およびNT6により保持される。

【0196】セルフリフレッシュモード時においては、セルフリフレッシュモード指示信号SRがHレベルとなり、信号/RACTは、図34に示すセルフリフレッシュ設定回路20cからのアレイ活性化信号RACTの反転信号となる。セルフリフレッシュモード時におけるアレイスタンバイサイクル時においては、信号/RACTがHレベルとなり、MOSTランジスタPT5がオフ状態となる。したがって、この状態においては、オフリーク電流は生じないかまたは極めて小さい。なお、セルフリフレッシュモードに入ったとき、転送制御信号ZRACCTが所定期間（リフレッシュサイクル期間）活性化され、記憶ノードSND1およびSND2の記憶データがキャパシタC1およびC2に転送され、レジスタ回路のデータがキャパシタC1、C2に退避される。したがって、MOSTランジスタPT5がオフ状態となり、記憶ノードSND1およびSND2の電圧レベルが接地電圧レベルに放電されても、キャパシタC1およびC2に情報

が記憶される。

【0197】所定期間でリフレッシュが実行される。このリフレッシュ動作時、まず転送制御信号ZRACCTがHレベルに立上がり、MOSTランジスタNT7およびNT8がオン状態となり、キャパシタC1およびC2の記憶情報が記憶ノードSND1およびSND2にそれぞれ伝達される。次いで、制御信号/RACTがアレイ活性化信号RACTに従ってLレベルに駆動され、PチャネルMOSTランジスタPT5がオン状態となり、MOSTランジスタPT6、PT7、NT5およびNT6が動作し、記憶ノードSND1およびSND2に転送された情報をラッチする。これにより、キャパシタC1およびC2の記憶情報がリフレッシュされ、またキャパシタC1およびC2に再書込される。リフレッシュ動作が完了すると、アレイ活性化信号RACTがLレベルに立下がり、応じて制御信号/RACTがHレベルとなり、レジスタ回路の電流経路が遮断され、また転送用のMOSTランジスタNT7およびNT8がオフ状態となり、キャパシタC1およびC2が記憶ノードSND1およびSND2から切り離される。

【0198】したがって、この図35に示す構成を利用することにより、セルフリフレッシュモード時、保持すべき情報を確実にメモリセルデータのリフレッシュ周期でリフレッシュして保持することができ、またセルフリフレッシュモード時におけるスタンバイサイクル時には、電流源のMOSTランジスタPT5がオフ状態となり、リーク電流を低減でき、応じて消費電流を低減することができる。

【0199】なお、図36に示す信号波形図において、ノーマルモード時においては、MOSTランジスタ

PT5がオン状態を維持している。しかしながら、この通常モード時においても、制御信号/RACTをアレイアクティブ期間中のみLレベルとし、スタンバイサイクル時においては、制御信号/RACTをHレベルとし、またこのとき転送制御信号ZRACCTをHレベルとする構成が利用されてもよい。通常モード時におけるオフリーク電流Ioffの平均値を低減することができる（オフリーク電流Ioffは、アレイアクティブ状態においてのみ生じるため）。

【0200】また、転送制御信号ZRACCTは、セルフリフレッシュ設定回路20cからのアレイ活性化指示信号RACTで置き換えられてもよい。図35に示すゲート回路により、アレイ活性化信号RACTがHレベルとなり、MOSTランジスタNT7およびNT8がオン状態となると、このゲート回路の遅延により、制御信号/RACTがLレベルとなり、確実に、キャパシタC1およびC2の記憶情報が記憶ノードSND1およびSND2に転送された後に、レジスタ回路を動作させることができ、正確に記憶データのリフレッシュを実行することができる。

【0201】なお、セルフリフレッシュ設定回路20cに対しても、セルフリフレッシュモード指示信号SRがLレベルのとき、電源電圧の供給が停止されるように構成されてもよい。

【0202】[変更例]図37は、この発明の実施の形態5の変更例の構成を示す図である。DRAMセルアレイ13においては、メモリセルMCが行列状に配列される。このメモリセルMCは、情報を記憶するためのメモリキャパシタCsと、ワード線WL上の信号電位にตอบสนองして導通し、メモリキャパシタCsをビット線BL（または図示しないビット線/BL）に接続するNチャネルMOSTランジスタで構成されるアクセストランジスタMTを含む。

【0203】退避キャパシタ付レジスタ回路は、記憶ノードSND1およびSND2の情報を記憶するCaおよびCbがメモリセルキャパシタCsと同一構造を有する。メモリセルキャパシタCsは、そのキャパシタ絶縁膜は極めて薄く、面積利用効率の優れたキャパシタである。このメモリセルキャパシタCsと同一構造のキャパシタCaおよびCbをデータ退避用キャパシタとして利用することにより、レジスタ回路の占有面積を低減することができる。

【0204】なお、メモリセルキャパシタCsは、通常セルプレート電極CPには、動作電源電圧の1/2の電圧が印加される。したがって、記憶ノードSND1およびSND2に外部電源電圧EVの電圧レベルが印加される場合、キャパシタCaおよびCbの耐圧を保証するため、メモリセルキャパシタCsと同一の構造のキャパシタを直列接続して、キャパシタCaおよびCbを実現してもよい。

【0205】図38は、メモリセルキャパシタCsおよび退避用キャパシタCaおよびCbの断面構造を概略的に示す図である。図38において、メモリセルキャパシタCsは、半導体基板表面上に形成される断面形状がたとえばT字形のストレージノード72と、このストレージノード72表面上に形成されるメモリセルキャパシタ絶縁膜71と、複数のメモリセルキャパシタCsに共通に配置され、キャパシタ絶縁膜72を介してストレージノード72と対向するセルプレート電極層70を含む。ストレージノード72の上部平坦部とセルプレート電極層70の対向領域がメモリセルキャパシタを構成する。

【0206】退避用キャパシタCaおよびCbも、このメモリセルキャパシタCsと同一構造を有し、半導体基板上に形成されるストレージノード層と同一工程で形成される第1の電極層75aおよび75bと、これらの電極層75aおよび75b上にメモリセルキャパシタ絶縁膜と同一製造工程で形成されるキャパシタ絶縁膜74aおよび74bと、これらのキャパシタ絶縁膜74aおよび74b上にセルプレート電極層70と同一製造工程で形成される第2の電極層73aおよび73bとで形成される。第2の電極層73aおよび73bが、それぞれ、記憶ノードSND1およびSND2に電氣的に接続される。第1の電極層75aおよび75bが接地電圧を受ける。

【0207】この図38に示すように、セルプレート電極層70と第2の電極層73aおよび73bは同一製造工程で形成されており、膜厚および材料が同一である。また絶縁膜71、74aおよび74bも同一製造工程で形成されており、その膜厚および材料が同一である。同様、ストレージノード電極層72、および第1の電極層75aおよび75bも、同一製造工程で形成されており、膜厚および材料が同一である。

【0208】したがって、このデータ退避用キャパシタCaおよびCbをメモリセルキャパシタと同一製造工程で形成することにより、何ら製造工程を増加させることなく面積利用効率の優れたキャパシタを実現することができる。

【0209】なお、このキャパシタCaおよびCbは、メモリセルMCと同じ周期でリフレッシュされるため、メモリセルキャパシタCsと同程度の電荷保持特性を有していればよい。記憶ノードSND1およびSND2の寄生容量はビット線BLの寄生容量よりも小さいため、これらのキャパシタCaおよびCbの容量値が比較的小さくても、十分にMOSTランジスタPT6、PT7、NT5およびNT6がラッチすることのできる電位差を記憶ノードSND1およびSND2に生成することができる（レジスタ回路のインバータラッチはDRAMセルアレイのセンスアンプと同一構成）。

【0210】なお、上述の説明において、アドレスカウンタ、セルフリフレッシュモード検出回路およびモード

レジスタの記憶データをセルフリフレッシュモード時リフレッシュするように構成している。しかしながら、セルフリフレッシュモード時において、その記憶データを保持する必要があるレジスタ回路等であれば、この実施の形態5は適用可能である。また、DRAMマクロ内のレジスタ回路のみならず、ロジック回路内のレジスタであってもよい。

【0211】また、本実施の形態5は、階層電源構成と独立にセルフリフレッシュモードを有するDRAMに適用できる。

【0212】以上のように、この発明の実施の形態5に従えば、セルフリフレッシュモード時、保持データをキャパシタに退避させ、所定周期でキャパシタの保持データをリフレッシュするように構成しているため、セルフリフレッシュモード時の消費電流をより低減することができる（レジスタ回路の電源を遮断するため）。

【0213】【実施の形態6】図39は、この発明の実施の形態6に従うDRAMセルアレイ13の構成を概略的に示す図である。図39において、このDRAMセルアレイ13は、Xアドレスが $X=1 \sim X=8K$ の範囲を含む。このDRAMセルアレイ13の領域において、Xアドレスが $X=2K+1$ から $X=4K$ の領域RFRGのみに対しスリープモード時（セルフリフレッシュモード時）にデータ保持を実行する（リフレッシュ動作を実行する）。このリフレッシュ領域RFRGは、スリープモード時にデータ保持が必要な領域であり、残りの領域においては、特にデータが消失しても問題はない。たとえば、このリフレッシュ領域RFRGがロジック回路の作業領域として使用されており、この作業領域データを保持する必要がある場合などの状況に対応する。

【0214】この図39に示すDRAMセルアレイ13の構成において、たとえば図40に示すように、Xアドレスが $X=1 \sim K$ のアドレス全領域にわたってリフレッシュする場合、アレイ活性化信号R_{ACT}は、8K回発生され、かつXアドレスを1から8Kまで変化させることにより、このDRAMセルアレイ13のメモリセルのデータがリフレッシュされる。この場合、リフレッシュインタバル時間（リフレッシュが行なわれる間の時間）は、 $15.6 \mu s$ であり、全体として、 $128ms$ （ $1K=1024$ ）の期間が必要とされる。このサイクル（8Kリフレッシュ）を繰返し実行する。Xアドレスはそれぞれ、 $128ms$ ごとにリフレッシュされる。

【0215】一方、リフレッシュ領域RFRGのみをリフレッシュする場合、Xアドレスは、 $2K+1$ から $4K$ まで変化する。この範囲内の各Xアドレスをすべてのリフレッシュを行なうのに要する時間を $128ms$ に設定する。したがって、リフレッシュインタバル時間は5倍の $62.4 \mu s$ となる。この場合、リフレッシュ領域RFRGにおいて、Xアドレスのワード線のメモリセルがリフレッシュされるインタバルは、全領域にわたってリ

フレッシュを行なう場合と同じ時間となり、十分にデータ保持を行なうことができる。この場合、リフレッシュインタバル時間が長くなるため、セルフリフレッシュモード時の消費電流を低減することができる。たとえば、リフレッシュ領域RFRGのXアドレス方向の大きさが $1/n$ 倍になると、基本的には、リフレッシュインタバル時間を n 倍だけ長くして、巡回的に各ワード線のリフレッシュ動作を行なう。このリフレッシュ動作がワード線を一巡して一周するのに要する時間が、リフレッシュ領域RFRGとDRAMセルアレイ13全体とで同じとなるように制御する。これにより、各ワード線それぞれについてリフレッシュ動作が行なわれる時間間隔が不変となり、一定のデータ保持時間が保証される。リフレッシュが実行される回数が $1/n$ となるため、消費電流が $1/n$ 倍に低減される。たとえば、この図39に示す構成の場合、リフレッシュ領域RFRGをXアドレス方向の大きさはDRAMセルアレイ13のXアドレス方向の大きさの $1/4$ であり、したがって、セルフリフレッシュモード時の平均電流は $1/4$ 倍に低減される。

【0216】図41は、この発明の実施の形態6のセルフリフレッシュ制御回路20の構成を概略的に示す図である。図41において、セルフリフレッシュ(SR)制御回路20は、リフレッシュ領域の下限Xアドレスを格納する下限アドレスレジスタ80と、リフレッシュ領域の上限Xアドレスを格納する上限アドレスレジスタ81と、下限アドレスレジスタ80に格納された下限XアドレスXLに初期値が設定されてカウント動作を行なってリフレッシュアドレスRFADを生成するリフレッシュアドレスカウンタ82と、リフレッシュアドレスカウンタ82からのリフレッシュアドレスRFADと上限アドレスレジスタ81に格納された上限XアドレスXUが一致したか否かを判定する一致検出回路83を含む。この一致検出回路83が一致を検出したとき、一致検出信号φMTHに応答してリフレッシュアドレスカウンタ82が初期値にリセットされる。

【0217】SR制御回路20は、さらに、このリフレッシュ領域のサイズを示す情報を格納するブロックサイズ設定回路84と、ブロックサイズ設定回路84に格納されたブロックサイズ指示情報に従ってそのカウントアップ同期が設定されてカウント動作を行なうタイマ85を含む。

【0218】ブロックサイズ設定回路84は、DRAMセルアレイ13の全体のXアドレスの領域から、リフレッシュ領域のXアドレスの割合を示す情報を格納する。タイマ85は、たとえばキャパシタの充放電により計時動作を行なう場合、タイマ85が、キャパシタの充放電により時間間隔を計時する場合、複数のキャパシタを並列に設け、ブロックサイズ設定回路84からのブロックサイズ指示情報に従って、この並列に接続されるキャパシタの数を設定する。これにより、リフレッシュインタ

バルを計測する場合の充放電時間を、調整することができる。たとえば、リフレッシュ領域が全体のDRAMセルアレイの全体のXアドレス方向の記憶領域の $1/2$ の場合、DRAMセルアレイ全体にわたってリフレッシュを行なう場合に用いられるキャパシタと同じ容量値を有するキャパシタを並列に1個さらに接続する。これにより、充放電用キャパシタの容量値が2倍となり、リフレッシュ要求信号φrefが発生されるインタバルを2倍に設定することができる。これに代えて、計時期間が異なるタイマ回路を複数個設け、ブロックサイズ設定回路84からのブロックサイズ指示情報に従って1つのタイマを選択するように構成されてもよい。

【0219】これらの下限アドレスレジスタ80および上限アドレスレジスタ81およびブロックサイズ設定回路84へのデータの設定は、特定のコマンドを用いてレジスタ入力モードに設定して、特定のアドレス信号入力ノードおよびデータ入出力ノードからの信号を用いてこれらの必要な情報を設定するように構成されればよい。

【0220】[リフレッシュアドレス発生部の構成2]
図42は、この発明の実施の形態6のSR制御回路20におけるリフレッシュアドレス発生部の他の構成を概略的に示す図である。図42において、SR制御回路20は、セルフリフレッシュモード時にデータを保持するリフレッシュ領域のブロックサイズを示す情報を格納する保持ブロックサイズ設定回路86と、リフレッシュ領域をブロック単位で特定する保持ブロックアドレスを格納する保持ブロックアドレスレジスタ87と、保持ブロックサイズ設定回路86からのブロックサイズ特定信号BZに従ってリフレッシュアドレスカウンタ20bからのカウントアドレスCNADと保持ブロックアドレスレジスタ87からの保持ブロックアドレスBAADを合成してリフレッシュ行アドレスRFADを生成するアドレス変換回路88と、保持ブロックサイズ設定回路86からの保持ブロックサイズ特定信号BZをデコードして、リフレッシュインタバル期間を特定する信号φFを生成してタイマ85へ与えるデコード回路88を含む。

【0221】保持ブロックサイズ設定回路86の設定するブロックサイズに相当するアドレス信号ビットを、保持ブロックアドレスレジスタ87からの保持ブロックアドレスBAADで固定する。この保持ブロック内における行指定するXアドレスビットを、リフレッシュアドレスカウンタ20bからのカウントアドレスCNADで置換する。したがって、アドレス変換回路88からのリフレッシュアドレスRFADは、保持ブロックアドレスレジスタ87に格納された保持ブロックアドレスBAADの示す領域内においてのみ変化する。

【0222】たとえば、図43に示すように、DRAMセルアレイが8個の行ブロックR#0-R#7に分割される場合を考える。1つの行ブロックR#(R#0-R#7)は、3ビットの上位行アドレスRA13-RA1

1により特定される。たとえば、行ブロックR#0は、アドレスビットRA13-R A11がすべて0のときに指定される。保持ブロックサイズ設定回路86は、上位アドレスビットのうち固定すべきアドレスビットを指定する。たとえば最上位アドレスビットRA13を固定した場合、行ブロックR#0-R#3または行ブロックR#4-R#7が特定される。これらの4つの行ブロックをリフレッシュ領域として、セルフリフレッシュが実行される。いずれの行ブロックを選択するかは、保持ブロックアドレスレジスタ87に格納された保持ブロックアドレスにより決定される。したがって、この図43に示す構成の場合、行ブロック単位でリフレッシュ領域を設定することができる。固定アドレスビットの数をさらに多くすれば、行ブロック内におけるワード線群単位でリフレッシュ領域を決定することができる。

【0223】アドレス変換回路88は、図44に示すように、保持ブロックサイズ設定回路86からのブロックサイズ特定情報BZに従って、指定された範囲内のアドレスビットを、保持ブロックアドレスレジスタ87からの保持ブロックアドレスBAADで固定する。残りの下位アドレスビットをリフレッシュアドレスカウンタ20bからのカウントアドレスCNADに従って設定する。したがって、保持ブロックアドレスBAADにより特定された領域内において、Xアドレスがリフレッシュアドレスカウンタ20bからのカウントアドレスCNADに従って変化し、リフレッシュ領域内においてのみリフレッシュが実行される。次に、具体的構成について説明する。

【0224】今、13ビットのXアドレスXA<13:1>において、上位2ビットのXアドレスXA13およびXA12を固定することを考える。具体的に、(XA13, XA12) = (0, 1)のアドレス空間をリフレッシュ領域として設定する。

【0225】まず図45に示すように、クロック信号CLKに従って、リフレッシュ領域設定モードを指定するコマンドを与える。このコマンドが印加され、リフレッシュ領域設定モードに入ると、次いで外部アドレスビットXA<13:1>を、この保持ブロックサイズを設定するために、上位2ビットXA13およびXA12を“1”に設定し、残りの下位アドレスビットXA11-XA1をすべて“0”に設定する。これにより、保持ブロックサイズBZが特定される。すなわち、最上位2ビットのアドレスが、セルフリフレッシュモード時固定されることが特定される。

【0226】次のクロックサイクルにおいて、固定アドレスを特定するため、上位2ビットのアドレスXA13およびXA12をそれぞれ“0”および“1”に設定し、残りの下位アドレスビットXA11-XA1をすべて“0”に設定する。これにより、(XA13, XA12) = (0, 1)のアドレス空間がリフレッシュ領域で

あることが設定される。したがって、この状態においては、図46に示すように、リフレッシュアドレスRFADの上位2ビットが(0, 1)に固定され、残りの11ビットの下位アドレスビットがリフレッシュアドレスカウンタカウンタ値に従って変化する。

【0227】この保持ブロックサイズ設定回路86および保持ブロックアドレスレジスタ87へのデータの設定は、リフレッシュ領域設定モードが設定されたとき、保持ブロックサイズ設定回路86を外部アドレス信号ビットを受けるように接続し、かつ次のサイクルで、保持ブロックアドレスレジスタ87を外部アドレス信号ビットを受けるように接続することにより実現される。

【0228】図47は、図42に示すアドレス変換回路88の構成の一例を示す図である。アドレス変換回路88は、アドレスビットそれぞれに対応して設けられる選択回路を含む。図47においては、1ビットのリフレッシュ行アドレスRFAD<j>に対して設けられる選択回路88aの構成を代表的に示す。すなわち、この図47に示す選択回路88aが、リフレッシュアドレス信号ビットそれぞれに対応して設けられる。

【0229】図47において、選択回路88aは、保持ブロックサイズ設定回路86からの保持ブロック特定ビットBZ<j>を反転するインバータ90と、保持ブロック特定ビットBZ<j>およびインバータ90の出力信号に従って、リフレッシュアドレスカウンタからのカウントアドレスビットCNAD<j>を通過させるCMOSトランスミッションゲート91と、保持ブロックサイズ特定ビットBZ<j>とインバータ90の出力信号に従って保持ブロックアドレスレジスタ87からの保持ブロック特定アドレスビットBAAD<j>を通過させるCMOSトランスミッションゲート92を含む。CMOSトランスミッションゲート91および92は相補的に導通し、導通状態のCMOSトランスミッションゲートから、リフレッシュアドレスビットRFAD<j>が出力される。

【0230】ブロックサイズ特定ビットBZ<j>が“1”(Hレベル)に設定された場合、対応のリフレッシュアドレスビットRFAD<j>は、セルフリフレッシュモード時、保持ブロックアドレスビットで固定される。この状態においては、CMOSトランスミッションゲート92がオン状態となり、保持ブロックアドレスレジスタからの保持ブロックアドレスビットBAAD<j>がリフレッシュアドレスビットRFAD<j>として出力される。

【0231】一方、ブロックサイズ特定ビットBZ<j>が“0”のときは、対応のリフレッシュアドレスビットRFAD<j>が、リフレッシュアドレスカウンタからのリフレッシュカウンタアドレスビットCNAD<j>に従って変化することを示す。したがって、この状態においては、CMOSトランスミッションゲート91が

10

20

30

40

50

オン状態となり、リフレッシュアドレスカウンタからのカウンタアドレスビットCNAD<j>がリフレッシュアドレスビットRFAD<j>として出力される。これにより、リフレッシュ領域を設定することができる。

【0232】なお、ブロックサイズが設定された場合、この保持ブロックサイズ特定信号BZをデコード回路89(図42参照)でデコードすることにより、リフレッシュ領域のサイズを識別することができ、このリフレッシュ領域のサイズに応じて図42に示すタイマ85のリフレッシュインタバル期間が設定される。

【0233】なお、この実施の形態6において、各レジスタ回路はセルフリフレッシュモード時データを保持する必要がある、先の実施の形態5と同様、キャパシタに記憶データを保持し、所定間隔でリフレッシュが行なわれる構成が用いられてもよい。

【0234】また、このリフレッシュ領域を設定する構成は、階層電源構成または電源制御と独立に、利用されてもよい。

【0235】以上のように、この発明の実施の形態6に従えば、セルフリフレッシュモード時、リフレッシュ領域を設定しそのリフレッシュ領域のみリフレッシュを行なうように構成しているため、リフレッシュインタバルを長くすることができ、セルフリフレッシュモード時の平均消費電流を低減することができる。

【0236】[実施の形態7] 図48は、この発明の実施の形態7におけるDRAMセルアレイ13の構成を概略的に示す図である。図48において、DRAMセルアレイ13は、Xアドレス1-8Kを有する。このDRAMセルアレイ13のXアドレスXbにおいて、リフレッシュ欠陥ワード線DRWLが存在する。このリフレッシュ欠陥ワード線DRWLは、そこに接続されるメモリセルのデータ保持特性が他のワード線に接続されるメモリセルよりも劣る。しかしながら、このリフレッシュ欠陥ワード線DRWLは、たとえば他の正常なワード線のリフレッシュサイクルよりもたとえば1/2の短い期間(たとえば64ms)でリフレッシュすると記憶データが保持される。そこでこのリフレッシュ欠陥ワード線DRWLについては、リフレッシュ間隔を、他の正常ワード線のリフレッシュ間隔よりも短くする。

【0237】すなわち、図49に示すように、リフレッシュ動作時、リフレッシュアドレスがXb+4Kを指定したとき、同時にこのアドレスXbの行をもリフレッシュする。これにより、8Kリフレッシュサイクルにおいて、アドレスXbは、2回リフレッシュされることになり、メモリセルデータを確実に保持することができる。なお、リフレッシュ欠陥ワード線は、ウェハ工程の最終のテストでのディスターブテストなどの電荷保持特性テストにより検出される。

【0238】図50は、この発明の実施の形態7におけるSR制御回路20のアドレス発生部の構成を概略的に

示す図である。図50において、SR制御回路20は、カウンタアドレスCNADを発生するリフレッシュアドレスカウンタ20bと、リフレッシュ欠陥ワード線のアドレスに4Kを加えたアドレスを記憶するリフレッシュ不良アドレスプログラム回路95と、リフレッシュアドレスカウンタ20bからのカウンタアドレスCNADとリフレッシュ不良アドレスプログラム回路95のプログラムアドレスの一致を検出する一致検出回路96と、一致検出回路96からの一致検出信号φCIに従ってリフレッシュアドレスカウンタ20bからのカウンタアドレスCNADの最上位ビットを両選択状態(縮退状態)にしてリフレッシュ行アドレスRFADを出力するアドレス変換回路97を含む。

【0239】リフレッシュ不良アドレスプログラム回路95は、たとえばヒューズ素子を含み、リフレッシュ欠陥ワード線を示すアドレスXbに4Kを加えたアドレスをヒューズプログラムにより記憶する。DRAMセルアレイが図48に示すようにXアドレスが1-8Kであり、リフレッシュ領域全体のXアドレスの範囲の1/2の値を、リフレッシュ欠陥ワード線のアドレスに加える。

【0240】図51は、図50に示すアドレス変換回路97の構成を概略的に示す図である。図51において、アドレス変換回路97は、カウンタアドレスCNADの最上位ビットCNAD<13>を反転するインバータ97aと、一致検出回路96からの一致検出信号φCIとインバータ97aの出力信号を受けてリフレッシュ行アドレスビットXA13を生成するOR回路97bと、一致検出信号φCIと最上位カウンタアドレスビットCNAD<13>を受けてリフレッシュ行アドレスビット/XA13を生成するOR回路97cと、下位のカウンタアドレスビットCNAD<j>を反転するインバータ97dを含む。

【0241】DRAMセルアレイに設けられたロウデコーダへは、相補アドレス信号ビットが与えられる。一致検出信号φCIが一致を示すHレベルのときには、相補アドレス信号ビットXA13および/XA13はともに“1”の両選択状態(縮退状態)となる。残りの下位アドレスビットXAj、/XAj(j=12-1)は、カウンタアドレスCNAD<j>およびその反転信号である。したがって、図52に示すように、DRAMセルアレイ13が、最上位ビットXA<13>により、2つの大ブロックに分割される場合、図51に示すアドレスビットXA13および/XA13がともに“1”となると、この2つの大ブロックが同時に選択され、アドレスXbおよびXb+4Kのワード線が同時に選択される(図43参照)。

【0242】DRAMセルアレイ13が、複数の行ブロックに分割され、各行ブロックごとにセンスアンプ回路が設けられている場合、複数のワード線を同時に選択し

ても、確実にメモリセルデータのリフレッシュを行なうことができる。

【0243】なお、上述の構成においては、Xアドレスの最大値が8Kであるとしている。しかしながら、このDRAMセルアレイ13のXアドレスの最大値がM・Kの場合、図50に示すリフレッシュ不良アドレスプログラム回路95には、アドレス $Xb + M \cdot K / 2$ がプログラムされる。

【0244】また、リフレッシュ欠陥ワード線が複数本存在する場合、リフレッシュ不良アドレスプログラム回路95を複数個設けることにより、各リフレッシュ欠陥ワード線を救済することができる。

【0245】リフレッシュ不良アドレスプログラム回路95に、リフレッシュ不良アドレス（リフレッシュ欠陥ワード線アドレス）の第2上位ビット $Xb < 12 >$ の反転値をプログラムし、一致検出回路96において、下位12ビットのアドレスの一致を検出する場合、アドレス $Xb + 2K$ 、 $Xb + 4K$ 、 $Xb + 6K$ が選択されたとき、またリフレッシュ不良アドレス Xb も選択される。すなわち、アドレスプログラムのためのアドレスの加算時においては、モジュール8Kの加算が実行される。たとえば、 $Xb + 6K > 8K$ のとき、アドレス $Xb - 2K$ が指定される。したがって、この場合、リフレッシュ欠陥ワード線のリフレッシュインタバルをより短くすることができる。

【0246】以上のように、この発明の実施の形態7に従えば、リフレッシュ欠陥ワード線のリフレッシュインタバルを短くするようにしているため、リフレッシュ欠陥ワード線を救済ことができ、歩留りが改善される。また、リフレッシュ欠陥ワード線に合せてリフレッシュインタバルを決定する必要がなく、リフレッシュインタバルを正常ワード線に合せて設定することができ、単位時間あたりのリフレッシュ動作回数をできるだけ少なくすることができ、消費電流が低減される。

【0247】【実施の形態8】図53（A）は、この発明の実施の形態8におけるDRAMセルアレイ13の構成を概略的に示す図である。図53（A）において、DRAMセルアレイ13は、セルフリフレッシュモード時にリフレッシュが実行されるリフレッシュ領域RFRGと、このリフレッシュ領域RAFG内に含まれるリフレッシュ欠陥ワード線DRWLを有する。DRAMセルアレイ13のXアドレスは、1から8Kであり、リフレッシュ領域RFRGのXアドレスは、 $2K + 1$ から4Kであり、リフレッシュ欠陥ワード線DRWLは、Xアドレス Xb を有する。

【0248】この図53（A）に示す構成の場合、図53（B）に示すように、セルフリフレッシュモード時、Xアドレスが $2K + 1$ から4Kまで変化する。リフレッシュアドレスがアドレス $Xb + 1K$ を指定するとき、このとき同時にXアドレス Xb も指定され、リフレッシュ

欠陥ワード線が選択状態へ駆動される。

【0249】この図53（B）において、リフレッシュ領域RFRGの記憶容量に応じて、リフレッシュインタバルが $62 \mu s$ と長くされる。リフレッシュ周期が、128msであり、セルフリフレッシュモード時にいて、リフレッシュ間隔が長くなり、平均消費電流を低減することができる。また、リフレッシュ不良アドレス Xb が、2Kリフレッシュサイクルにおいて2回選択されており、リフレッシュ欠陥ワード線に接続されるメモリセルのデータは確実に保持される。すなわち、リフレッシュ領域RFRGの記憶容量に応じてリフレッシュインタバルを長くしても、データ保持特性の劣るメモリセルの記憶データをも、確実にリフレッシュして、保持することができる。

【0250】図54（A）は、DRAMセルアレイ13の構成を示す図である。このDRAMセルアレイ13は、Xアドレス数が2K個の行ブロックに分割される。1つの行ブロックが、2ビットの上位アドレスXA13およびXA12により特定される。下位アドレスビットXA11-XA1がリフレッシュアドレスカウンタからのカウントアドレスに従って変化する。したがって、アドレスビットXA13およびXA12により特定された行ブロック内においてリフレッシュが実行される。

【0251】図54（B）は、1つの行ブロックRB#を2つのサブ行ブロックRBU#およびRBL#に分割したときの構成を示す図である。これらのサブ行ブロックRBU#およびRBL#は、それぞれ、Xアドレスが1K個存在する。サブ行ブロックRBU#およびRBL#は、XアドレスビットXA11により特定される。リフレッシュ欠陥ワード線DRWLに対し、リフレッシュ不良救済アドレスとして、サブ行ブロックRBU#に含まれる破線で示すワード線DWLのアドレスをプログラムする。これらのワード線DRWLおよびDWLは、単にアドレスビットXA11の値が異なるだけであり、残りの下位アドレスビットXA10-XA1は、リフレッシュアドレスカウンタからのカウントアドレスに従って変化する。

【0252】したがって、リフレッシュ領域RFRGとして行ブロックRB#の1つが特定されたとき、その行ブロックの半分の記憶容量のサブ行ブロック単位でアドレスの置換を実行する。すなわち、リフレッシュ領域RFRGのXアドレスの容量がM・Kの場合、不良アドレス Xb の救済アドレス（同時に選択状態へ駆動されるときアドレス）は、 $Xb + M \cdot K / 2$ に設定される。1つサブ行ブロックRBU#およびRBL#において同時にワード線が選択されるため、これらのサブ行ブロックRBU#およびRBL#においては、それぞれセンスアンプ回路が互いに独立に駆動される必要がある。したがって、リフレッシュ領域RFRGの最小単位は、センスアンプ回路を共有しない2つのセンスアンプブロック

(センスアンプ回路とメモリセル行とから構成されるブロック)となる。

【0253】この図54(A)および(B)から明らかなように、リフレッシュ領域RFRGが特定されかつリフレッシュ欠陥ワード線DRWLがこのリフレッシュ領域RFRGに含まれるとき、リフレッシュ領域特定アドレスの次のアドレスビットすなわち、リフレッシュアドレスカウンタの出力カウント値に従って変化するアドレスビットのうちの最上位アドレスビットの値を反転させることにより、リフレッシュ不良アドレスをプログラム

【0254】図55は、この発明の実施の形態8に従う半導体装置のSR制御回路20のリフレッシュアドレス発生部の構成を概略的に示す図である。図55において、SR制御回路20は、カウンタアドレスCNADを出力するリフレッシュアドレスカウンタ20bと、リフレッシュ領域のサイズを設定する保持ブロックサイズ設定回路86と、リフレッシュ領域を特定する情報を格納する保持ブロックアドレスレジスタ87と、保持ブロックサイズ設定回路86からの保持ブロックサイズ特定信号BZに従って、リフレッシュアドレスカウンタ20bからのカウンタアドレスCNADおよび保持ブロックアドレスレジスタ87からの保持ブロックアドレスBAADを合成して合成アドレス信号RFADFを生成するアドレス変換回路88と、リフレッシュ欠陥ワード線を特定するXアドレスを格納するリフレッシュ不良アドレスプログラム回路100と、このリフレッシュ不良アドレスを、保持ブロックサイズ設定回路86からの保持ブロックサイズ特定信号BZに従ってシフトするアドレスシフト回路101と、アドレス変換回路88からのアドレス信号RFADFとアドレスシフト回路101からのシフトリフレッシュ不良アドレスの一致を検出する一致検出回路102と、一致検出回路102からの一致検出信号φCIに従ってアドレス変換回路88からのアドレスRFADFを調整して、アドレス変換回路88からのアドレスRFADFが指定するXアドレスおよびリフレッシュ不良アドレスXbをともに選択状態に設定するリフレッシュ行アドレスRFADを発生するアドレス発生回路103を含む。

【0255】リフレッシュタイマは示していないが、図42に示す構成と同様、保持ブロックサイズに応じてリフレッシュインタバルが調整される。

【0256】保持ブロックサイズ設定回路86、保持ブロックアドレスレジスタ87、およびリフレッシュアドレスカウンタ20bは、図42に示す構成と同じであり、アドレス変換回路88は、図47に示す構成と同じ構成を備える。リフレッシュ領域が、保持ブロックアドレスレジスタ87からのアドレスBAADにより特定され、このリフレッシュ領域内のXアドレスがリフレッシュ

アドレスカウンタ20bからのリフレッシュカウンタアドレスCNADにより特定される。リフレッシュ不良アドレスプログラム回路100は、このリフレッシュ欠陥ワード線を示すリフレッシュ不良アドレスXbを、たとえばヒューズ素子のプログラムにより記憶する。

【0257】アドレスシフト回路101は、保持ブロックサイズ設定回路86からの保持ブロックサイズ特定信号BZに従って、セルフリフレッシュモード時変化するXアドレスビットの最上位のビット値を反転して、リフレッシュ不良アドレスのシフトを実現する。このアドレスシフト動作においては、保持ブロックサイズのXアドレスの容量の1/2のXアドレスの数だけシフトされる。

【0258】図56は、図55に示すアドレスシフト回路101の構成を概略的に示す図である。図56において、アドレスシフト回路101は、保持ブロックサイズ設定回路86からの保持ブロックサイズ特定信号BZの0/1変化点を検出する変化点検出回路101aと、変化点検出回路101aからの変化点検出信号PBに従って、リフレッシュ不良アドレスXbの、この変化点に対応するアドレスビット値を反転してシフトアドレスSFAD(=Xb+M・K/2)を出力するアドレス変換回路101bを含む。

【0259】保持ブロックサイズ特定信号BZにおいては、ブロック特定信号により設定される領域が、ビット値が“1”となり、リフレッシュアドレスカウンタの出力カウントアドレスCMADに従って変化する領域は、ビット値は“0”である。この0/1の変化点を検出することにより、セルフリフレッシュモード時に変化するアドレスビットの最上位ビットを検出することができる。アドレス変換回路101bは、この変化点検出信号PBに従ってリフレッシュ不良アドレスXbの対応の桁のビット値を反転する。ビット値の反転により、リフレッシュ領域(保持ブロック)のXアドレスのサイズの1/2のXアドレスのシフトが実現される(図54(A)および(B)参照)。

【0260】図57は、図56に示す変化点検出回路101aの構成の一例を示す図である。図57において、変化点検出回路101aは、隣接する2ビットの保持ブロックサイズ特定信号BZ<k+1>およびBZ<k>に対応して設けられ、変化点検出ビットPB<k>を出力するEXOR回路(不一致検出回路)101aaを含む。ここで、k=12~1である。最上位ビットの変化点検出信号PB<13>は“0”に固定される。

【0261】たとえば、図57に示す変化点検出回路101aの構成において、ビットBZ<13>およびBZ<12>がともに“1”であり、残りのビットBZ<11:1>がすべて“0”のときには、変化点検出ビットPB<11>が“1”となり、残りのビットはすべて“0”となる。Xアドレスが13ビットアドレスの場合

合、この上位2ビットは、保持ブロックアドレスレジスタ87からのアドレスにより固定的に設定される。残りのアドレスビットがリフレッシュアドレスカウンタのカウントアドレスに従って変化する。したがって、この変化点検出信号ビットPB<11>に従ってアドレス変換回路101bにおいて、対応のビット値を反転することにより、アドレスシフトを実現することができる。

【0262】図58は、図56に示すアドレス変換回路101bの構成の一例を示す図である。このアドレス変換回路101bは、各シフトアドレスビットに対応して同一構成の選択回路を有しており、図58においては、1ビットのシフトアドレスSFAD<j>に対する選択回路の構成を代表的に示す。

【0263】図58において、アドレス変換回路101bに含まれる選択回路は、リフレッシュ不良アドレスビットXb<j>を反転するインバータ101baと、変化点検出ビットPB<j>を反転するインバータ101bbと、変化点検出ビットPB<j>およびインバータ101bbの出力信号に従ってインバータ101baの出力信号を通過させるCMOSトランسمッションゲート101bcと、変化点検出ビットPB<j>とインバータ101bbの出力信号に従ってリフレッシュ不良アドレスビットXb<j>を通過させるCMOSトランسمッションゲート101bdを含む。CMOSトランسمッションゲート101bcおよび101bdは互いに相補的にオン状態となり、シフトリフレッシュアドレスビットSFAD<j>を生成する。

【0264】変化点検出ビットPB<j>が“1”のときには、CMOSトランسمッションゲート101bcがオン状態となり、リフレッシュ不良アドレスビットXb<j>の反転値がシフトアドレスビットSFAD<j>として出力される。一方、変化点検出ビットPB<j>が“0”のときには、CMOSトランسمッションゲート101bdがオン状態となり、リフレッシュ不良アドレスビットXb<j>がシフトアドレスビットSFAD<j>として出力される。このリフレッシュ不良アドレスビットXb<j>のビット値を反転することにより、リフレッシュ欠陥ワード線のアドレスXbを2jシフトさせることができる。

【0265】図59は、図55に示すアドレス発生回路103の構成を概略的に示す図である。このアドレス発生回路103は、各リフレッシュアドレスビットに対応して同一構成のアドレス変換回路を含むため、図59においては、1ビットのリフレッシュアドレスRFAD<j>に対する構成を代表的に示す。

【0266】図59において、アドレス発生回路103は、図55に示す一致検出回路102からの一致検出信号φCIと図56に示す変化点検出回路101aからの変化点検出ビットPB<j>を受けるAND回路103aと、図55に示すアドレス変換回路88からの変換ア

ドレスビットRFADF<j>を反転するインバータ103bと、AND回路103aの出力信号とインバータ103bの出力信号を受けて補のアドレスビット/RFADj(／Xj)を出力するOR回路103cと、AND回路103aの出力信号と変換アドレスビットRFADF<j>を受けてリフレッシュアドレスビットRFADj(Xj)を出力するOR回路103dを含む。これらの相補アドレスビットRFADjおよび／RFADjがDRAMセルアレイのロウデコーダへ与えられる。

【0267】一致検出信号φCIがLレベルのときには、AND回路103aの出力信号はLレベルであり、OR回路103cおよび103dは、変換アドレスビットRFADF<j>に従って相補アドレスビット/RFADjおよびRFADjを生成する。したがって、この状態においては、図55に示すアドレス変換回路88からの変換リフレッシュアドレスRFADFに従ってXアドレスが指定され、リフレッシュが実行される。

【0268】一致検出信号φCIがHレベルのときには、2つの状態が存在する。変化点検出ビットPB<j>がLレベルのときには、AND回路103aの出力信号はLレベルであり、したがって、変換アドレスビットRFADF<j>に従って相補アドレスビット/RFADjおよびRFADjが生成される。一方、変化点検出ビットPB<j>がHレベル(“1”)のときには、OR回路103cおよび103dからのアドレスビット/RFADjおよびRFADjがともにHレベルとなり、このアドレスビットがいわゆる「両選択状態」に設定される。したがって、このアドレスビットRFAD<j>が縮退状態となり、リフレッシュ不良アドレスとこのリフレッシュ不良アドレスをシフトしたリフレッシュアドレスが指定するワード線が選択状態へ駆動される。これにより、リフレッシュ領域内において、リフレッシュ欠陥ワード線が存在する場合、このリフレッシュ欠陥ワード線のリフレッシュインタバルを他の正常ワード線よりも短くすることができ、実施の形態7と同様安定にメモリの記憶データを保持することができる。

【0269】なお、この実施の形態8の構成においても、レジスタ回路が、先の実施の形態5におけるようにキャパシタを備え、セルフリフレッシュモード時に、電源の遮断およびキャパシタの記憶データのリフレッシュが実行されるように構成されてもよい。

【0270】本実施の形態8に従えば、実施の形態6および7と同様の効果が得られる。

【他の適用例】上述の説明においては、半導体装置は、ダイナミック型半導体記憶装置とロジック回路とが同一半導体チップ上に集積化されている。しかしながら、この実施の形態1から8の構成は、ダイナミック型半導体記憶装置に対し単独で適用することができる。

【0271】また、この実施の形態6-8の構成は、ロジック回路とダイナミック・ランダム・アクセス・メモ

リが同一半導体チップに形成される半導体装置に限定されず、また電源電圧の制御と独立に、セルフリフレッシュモードを有する半導体記憶装置に対して適用可能である。

【0272】また、実施の形態6から8において、DRAMセルアレイのXアドレスの数は、8Kに限定されない。

【0273】

【発明の効果】以上のように、この発明に従えば、セルフリフレッシュモード（スリープモード）時における消費電流をその通常モード時のアクセス動作に悪影響を及ぼすことなく大幅に低減することができる。

【0274】すなわち、請求項1に係る発明に従えば、スリープモードおよびパワーダウンモードなどの低消費電流モード時、リフレッシュ動作を行なうリフレッシュ系回路と、それ以外の周辺回路とに対し通常動作モード時には、電源線を同じ電源供給状態に設定し、かつ低消費電流モード時には、互いに異なる電源供給状態に設定しているため、低消費電流モード時、リフレッシュ系回路にのみ動作電源電圧を供給することができ、低消費電流モード時の消費電流を低減することができる。また、通常動作モード時には、動作電源電圧とともに周辺回路およびリフレッシュ系回路に供給しているため、通常動作モードのスタンバイサイクルからアクセスサイクルへの移行時動作電源電圧の変動がアクセス時間に影響を及ぼすのを防止することができ、通常動作モード時の高速アクセスを保証することができる。

【0275】請求項2に係る発明に従えば、リフレッシュ系回路および周辺回路に対する電源回路の可変インピーダンス手段をMOSトランジスタで構成し、低消費電流モード時、このリフレッシュ系回路に対するMOSトランジスタをオン状態、周辺回路に対するMOSトランジスタをオフ状態に設定しているため、周辺回路における低消費電流モード時の消費電流を抑制することができる。

【0276】請求項3に係る発明に従えば、周辺回路用電源回路のMOSトランジスタのしきい値電圧の絶対値を、この周辺回路のMOSトランジスタのそれよりも大きくし、低消費電流モード時この周辺回路用電源回路のMOSトランジスタをオフ状態に設定しており、確実に、低消費電流モード時のリーク電流を抑制して、消費電流を低減することができる。

【0277】請求項4に係る発明に従えば、周辺回路用電源回路のMOSトランジスタを周辺回路用MOSトランジスタと同一しきい値電圧を有するように構成し、この周辺回路用電源回路のMOSトランジスタのオフ状態時のリーク電流が、周辺回路の総リーク電流量よりも小さくなるようにサイズを調整しており、低消費電流モード時、周辺回路用電源回路のMOSトランジスタをオフ状態とすることにより、周辺回路部のリーク電流が電源

回路のMOSトランジスタのオフリーク電流で決定され、消費電流をより低減することができる。

【0278】また、周辺回路用電源回路のMOSトランジスタおよび周辺回路のMOSトランジスタが同一しきい値電圧を有しており、サイズが異なるだけであり、同一製造工程でこれらのMOSトランジスタを形成することができる。

【0279】請求項5に係る発明に従えば、周辺回路用電源回路のリークカットMOSトランジスタを、周辺回路のMOSトランジスタのオフ状態よりもより深いオフ状態に設定するように構成しており、この電源回路のリークカットMOSトランジスタのオフリーク電流を低減でき、低消費電流モード時の消費電流を低減することができる。

【0280】請求項6に係る発明に従えば、この請求項5のリークカットMOSトランジスタのゲートへ、電源供給ノードの電圧よりも絶対値の大きな電圧を低消費電流モード時印加するように構成しており、確実に、より深いオフ状態に容易に設定することができる。

【0281】請求項7に係る発明に従えば、請求項5のリークカットMOSトランジスタのバックゲート電圧を低消費電流モード時通常動作モード時よりもその絶対値を大きくしており、確実にそのしきい値電圧の絶対値をリークカットMOSトランジスタにおいて大きくでき、低しきい値電圧MOSトランジスタをリークカットMOSトランジスタとして用いても、その実効的なしきい値電圧の絶対値の増大により、確実にオフリーク電流を防止することができる。

【0282】請求項8に係る発明に従えば、リフレッシュ系回路へは、外部からの電源電圧を直接供給し、一方、周辺系回路へは、リークカットMOSトランジスタを介して動作電源電圧を供給し、低消費電流モード時、このリークカットMOSトランジスタをオフ状態に設定しているため、容易に、低消費電流モード時の消費電流を低減することができる。また、リフレッシュ系回路へは、直接外部からの電源電圧が供給され、回路構成が簡略化される。

【0283】請求項9に係る発明に従えば、周辺系回路の電源回路が、基準電圧との比較に基づいて内部電源電圧を生成する内部電源回路で構成され、この低消費電流モード時には、基準電圧を外部電源電圧と異なる極性の電圧レベルに設定しており、内部電源回路を有する場合においても、低消費電流モード時、消費電流を低減することができる。

【0284】請求項10に係る発明に従えば、リフレッシュ系回路が形成される基板領域の電位の絶対値を低消費電流モード時通常動作モード時のそれよりも大きくしており、低消費電流モード時において、リフレッシュ系回路のMOSトランジスタのしきい値電圧の絶対値を大きくでき、オフリーク電流を低減できる。

【0285】請求項11に係る発明に従えば、ロジック回路が形成される基板領域の電位を低消費電流モード時通常動作モード時のそれよりも絶対値を大きくしており、ロジック回路が形成される場合においても、そのウェル電位の絶対値を大きくすることにより、確実に、オフリーク電流を低減することができる。

【0286】請求項12に係る発明に従えば、ロジック回路へは、低消費電流モード時、動作電源電圧の供給を停止するように構成しているため、容易に、このロジック回路部の消費電流を低消費電流モード時抑制することができる。

【0287】請求項13に係る発明に従えば、請求項10の周辺回路系電源回路は、低消費電流モード時、この周辺回路への動作電源電圧供給を停止するように電源回路インピーダンスを大きくするように構成しており、低消費電流モード時、容易にかつ確実に消費電流を抑制することができる。

【0288】請求項14に係る発明に従えば、レジスタ回路の記憶データをレジスタキャパシタに退避させ、低消費電流モード時、このレジスタキャパシタの記憶情報を所定の周期でリフレッシュするように構成されており、レジスタ回路の電源遮断時においても、正確にレジスタ回路の記憶情報を保持することができ、消費電流を低減することができる。

【0289】請求項15に係る発明に従えば、請求項14の発明において、低消費電流モード時、レジスタ回路へ電源ノードから電源電圧を供給しかつレジスタ回路とレジスタキャパシタとを結合しており、容易に、レジスタキャパシタの記憶情報のリフレッシュを行なうことができる。

【0290】請求項16に係る発明に従えば、レジスタ回路とレジスタキャパシタとの結合をリフレッシュサイクル周期で実行しており、リフレッシュ制御回路からのリフレッシュ活性化信号に従ってレジスタキャパシタの記憶情報をリフレッシュでき、制御が容易となり、余分にレジスタキャパシタのデータリフレッシュ用の制御回路を設ける必要がなく、回路占有面積が低減される。

【0291】請求項17に係る発明に従えば、リフレッシュ期間中レジスタ回路へ電源電圧を供給しており、その間レジスタ回路とレジスタキャパシタとが結合されており、正確にレジスタキャパシタの記憶情報をリフレッシュすることができる。

【0292】請求項18に係る発明に従えば、レジスタキャパシタをメモリセルキャパシタと材料または膜厚が同じ絶縁膜および電極層を用いて形成しており、メモリセルキャパシタとレジスタキャパシタとを同一製造工程で形成することができ、またレジスタキャパシタを面積利用効率の高いキャパシタにより実現することができる。

【0293】請求項19に係る発明に従えば、メモリセ

ルアレイの所定の領域のみリフレッシュモード時リフレッシュするように構成しており、不必要な領域のリフレッシュを行なう必要がなく、応じてリフレッシュインタバルを長くでき、リフレッシュモード時の平均消費電流を低減することができる。

【0294】請求項20に係る発明に従えば、このメモリセルアレイの特定のアドレスのリフレッシュ回数を他のアドレスのリフレッシュ回数よりも多くしており、確実に、特定アドレスの記憶情報のリフレッシュを行なうことができる。

【0295】請求項21に係る発明に従えば、この特定アドレスのリフレッシュインタバルを他のアドレスのリフレッシュインタバルより短くしているだけであり、容易に特定アドレスのリフレッシュ回数を他のアドレスのリフレッシュ回数よりも多くすることができる。

【0296】請求項22に係る発明に従えば、特定アドレスと所定の関係のアドレスが指定されたとき、その所定の関係のアドレスとともに特定アドレスをも同時に選択状態へ駆動しており、容易に特定アドレスのリフレッシュ回数を他のアドレスのリフレッシュ回数よりも多くすることができる。

【0297】請求項23に係る発明に従えば、請求項19の装置がさらに、リフレッシュ領域指定アドレスに従ってリフレッシュタイマのリフレッシュ要求を発生する周期を調整しており、リフレッシュされる領域のサイズに応じてリフレッシュインタバルを最適値に設定することができ、このリフレッシュインタバルをメモリセルアレイ全体をリフレッシュするときよりも長くでき、リフレッシュモード時の平均消費電流を低減することができる。

【0298】請求項24に係る発明に従えば、請求項10の装置において、リフレッシュ系回路の動作タイミングをリフレッシュモード時と通常動作モード時とで異ならせており、容易にMOSトランジスタの動作パラメータが変動した場合においても、正確にメモリセルデータのリフレッシュを行なうことができる。

【0299】請求項25に係る発明に従えば、請求項24の装置において、センスアンプ回路の活性化タイミングをリフレッシュモード時遅らせているため、MOSトランジスタの動作パラメータが変動する場合においても、正確にメモリセルデータのリフレッシュを行なうことができる。

【図面の簡単な説明】

【図1】 この発明に従う半導体装置の全体の構成を概略的に示す図である。

【図2】 この発明の実施の形態1に従う半導体装置の構成を概略的に示す図である。

【図3】 図2に示すコラム系／周辺制御回路用電源回路の構成を概略的に示す図である。

【図4】 図3に示す電源回路の動作を示す信号波形図

である。

【図 5】 図 2 に示すロジック回路用電源回路の構成を概略的に示す図である。

【図 6】 図 5 に示す電源回路の動作を示す信号波形図である。

【図 7】 図 2 に示すロジック回路の電源回路の他の構成を概略的に示す図である。

【図 8】 この発明の実施の形態 1 の周辺回路用電源回路の変更例 1 の構成を示す図である。

【図 9】 この発明の実施の形態 1 のロジック回路用電源回路の変更例 1 の構成を概略的に示す図である。 10

【図 10】 この発明の実施の形態 1 の周辺回路用電源回路の変更例 2 の構成を示す図である。

【図 11】 図 10 に示す電源回路に対する電源制御回路の構成を概略的に示す図である。

【図 12】 図 11 に示す電源制御回路の動作を示す信号波形図である。

【図 13】 本発明の実施の形態 1 の周辺回路用電源回路の変更例 3 の構成を示す図である。

【図 14】 図 13 に示す電源回路に対する電源制御回路の構成を概略的に示す図である。 20

【図 15】 図 14 に示す電源制御回路の動作を示す信号波形図である。

【図 16】 この発明の実施の形態 2 に従う半導体装置の全体の構成を概略的に示す図である。

【図 17】 この発明の実施の形態 2 における内部電源線の構成を概略的に示す図である。

【図 18】 図 16 に示す半導体装置の電源制御回路の動作を示す信号波形図である。

【図 19】 この発明の実施の形態 2 の変更例 1 の構成を概略的に示す図である。 30

【図 20】 図 19 に示す電源回路の構成を示す図である。

【図 21】 図 20 に示す電源回路の動作を示す信号波形図である。

【図 22】 図 19 に示す電源回路に対する電源制御回路の構成の一例を示す図である。

【図 23】 この発明の実施の形態 2 の変更例 2 の構成を概略的に示す図である。

【図 24】 この発明の実施の形態 3 の構成を概略的に示す図である。 40

【図 25】 図 24 に示すウェル電位発生回路の構成の一例を示す図である。

【図 26】 図 24 に示すウェル電位発生回路の構成の一例を示す図である。

【図 27】 この発明の実施の形態 4 の構成を概略的に示す図である。

【図 28】 図 27 に示すウェル電源回路の構成を概略的に示す図である。

【図 29】 図 28 に示すウェル電源回路の動作を示す 50

信号波形図である。

【図 30】 図 27 に示す SR 制御回路の構成を概略的に示す図である。

【図 31】 図 27 に示すロウ系回路の構成を概略的に示す図である。

【図 32】 図 31 に示すロウ系回路の動作を示す信号波形図である。

【図 33】 図 31 に示す可変遅延回路の構成を示す図である。

【図 34】 この発明の実施の形態 5 に従う半導体装置の構成を概略的に示す図である。

【図 35】 図 34 に示す退避キャパシタ付レジスタ回路の構成を概略的に示す図である。

【図 36】 図 34 に示す半導体装置の動作を示す信号波形図である。

【図 37】 この発明の実施の形態 5 の変更例を示す図である。

【図 38】 図 37 に示すキャパシタの構造を概略的に示す図である。

【図 39】 この発明の実施の形態 6 に従う半導体装置の構造を概略的に示す図である。

【図 40】 この発明の実施の形態 6 における半導体装置の動作を示すタイミングチャート図である。

【図 41】 この発明の実施の形態 6 における半導体装置の要部の構成を概略的に示す図である。

【図 42】 この発明の実施の形態 6 の変更例を概略的に示す図である。

【図 43】 図 42 に示す変更例における X アドレスの割当を示す図である。

【図 44】 図 42 に示すアドレス変換回路の出力およびリフレッシュアドレスの構成を概略的に示す図である。

【図 45】 図 42 に示す保持ブロックサイズデータおよび保持ブロックアドレス設定動作を示すタイミングチャート図である。

【図 46】 図 42 に示すアドレス変換回路の出力アドレスの具体的構成を示す図である。

【図 47】 図 42 に示すアドレス変換回路の構成を示す図である。

【図 48】 この発明の実施の形態 7 に従う半導体装置のアレイ構造を概略的に示す図である。

【図 49】 図 48 に示すアレイ構造を有する半導体装置の動作を示すタイミングチャートである。

【図 50】 この発明の実施の形態 7 の半導体装置の要部の構成を概略的に示す図である。

【図 51】 図 50 に示すアドレス変換回路の構成の一例を示す図である。

【図 52】 図 51 に示すアドレス変換回路による変換アドレスの一例を示す図である。

【図 53】 (A) はこの発明の実施の形態 8 に従う半

67

導体装置のアレイ構造を概略的に示す図である。(B)はこの発明の実施の形態8の半導体装置の動作を示すタイミングチャート図である。

【図54】 (A)および(B)は、アレイブロックと対応のアドレスビットを示す図である。

【図55】 この発明の実施の形態8の半導体装置の要部の構成を概略的に示す図である。

【図56】 図55に示すアドレスシフト回路の構成を概略的に示す図である。

【図57】 図56に示す変化点検出回路の構成を概略的に示す図である。

【図58】 図56に示すアドレス変換回路の構成を示す図である。

【図59】 図55に示すアドレス発生回路の構成の一例を示す図である。

【図60】 従来の階層電源回路の構成を示す図である。

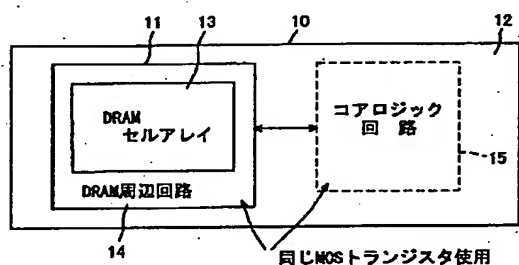
【図61】 図60に示す電源回路の動作を示す信号波形図である。

【図62】 従来の電源回路における電源電圧の変化を示す信号波形図である。

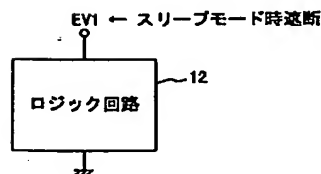
【符号の説明】

10 半導体装置、11 DRAMマクロ、12 ロジック回路、14 DRAM周辺回路、15 コアロジック回路、14a リフレッシュ系回路、14b コラム系/周辺制御回路、20 SR制御回路、21 ロウ系回路、22a-22c 電源回路、25 電源制御回路、PQ1, NQ1, PQa-PQd, NQa-NQd リ*

【図1】



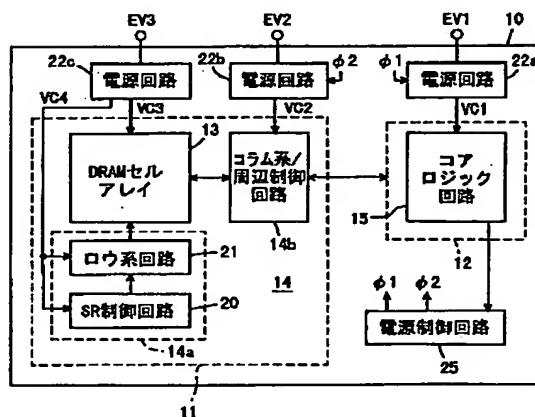
【図7】

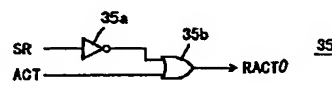
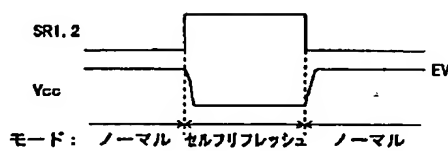
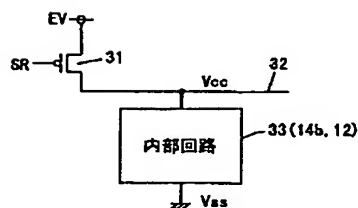
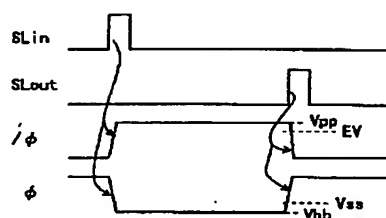
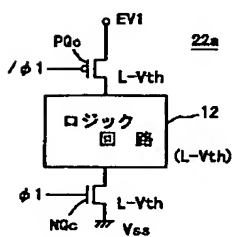
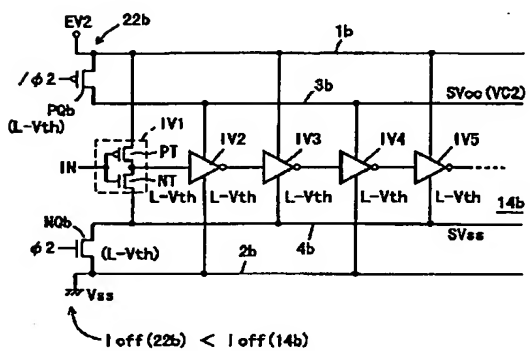
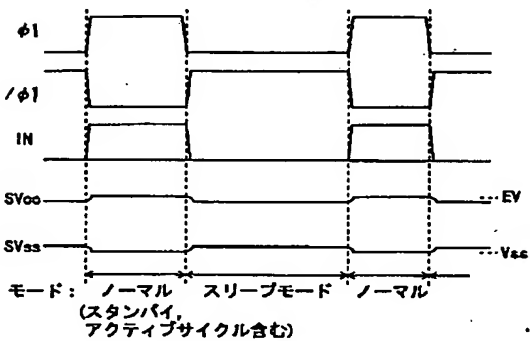
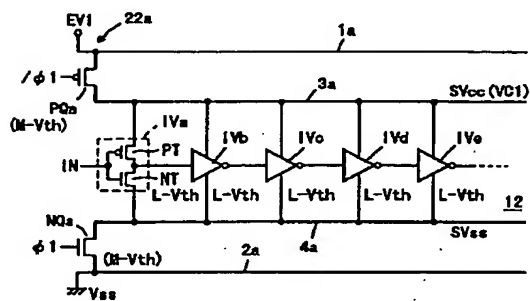
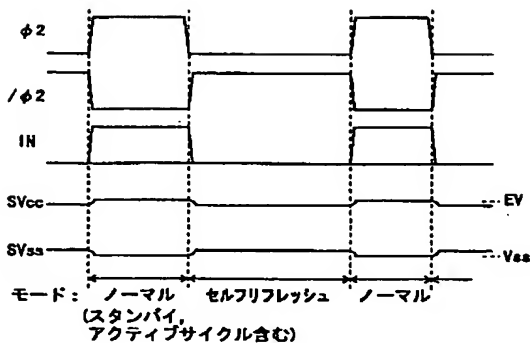
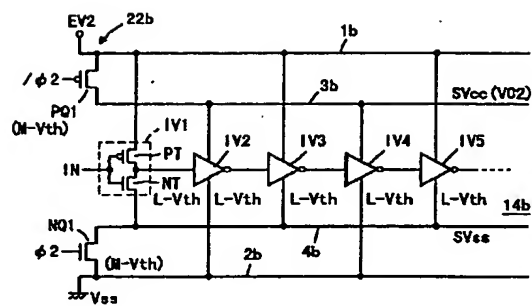


68

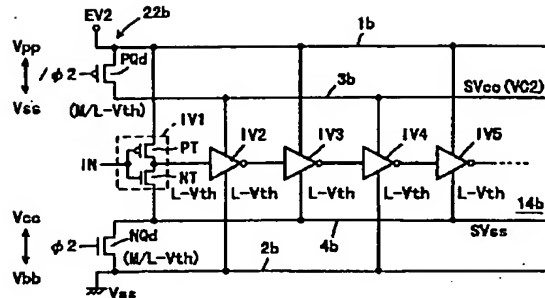
*ークカット用MOSトランジスタ、31a, 31b 電源トランジスタ、35 電源制御回路、36 電源回路、31c 電源トランジスタ、39 比較回路、37, 38 MOSトランジスタ、55 ウェル電位制御回路、51a, 51b ウェル電位発生回路、60 ウェル電源回路、21e, 21f 可変遅延回路、20a セルフリフレッシュモード検出回路、20b タイマ、20c セルフリフレッシュ設定回路、20d アドレスカウンタ、62 退避キャパシタ付フリップフロップ、20da 退避キャパシタ付アドレスカウンタ、63 退避キャパシタ付モードレジスタ、C1, C2, Ca, Cb レジスタキャパシタ、Cs メモリセルキャパシタ、70 セルプレート電極層、71 メモリセルキャパシタ絶縁膜、72 ストレージノード電極、73a, 73b, 75a, 75b キャパシタ電極、74a, 74b キャパシタ絶縁膜、RFRG リフレッシュ領域、80 下限アドレスレジスタ、81 上限アドレスレジスタ、82 リフレッシュアドレスカウンタ、83 一致検出回路、84 ブロックサイズ設定回路、85 タイマ、86 保持ブロックサイズ設定回路、87 保持ブロックアドレスレジスタ、88 アドレス変換回路、95 リフレッシュ不良アドレスプログラム回路、96 一致検出回路、97 アドレス変換回路、100 リフレッシュ不良アドレスプログラム回路、101 アドレスシフト回路、102 一致検出回路、103 アドレス発生回路、101a 変化点検出回路、101b アドレス変換回路。

【図2】

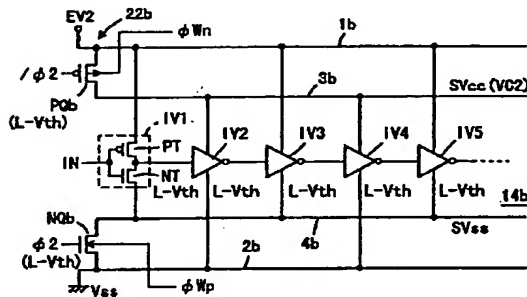




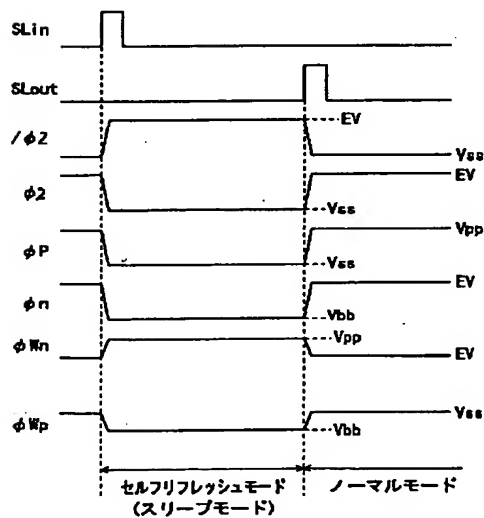
【図10】



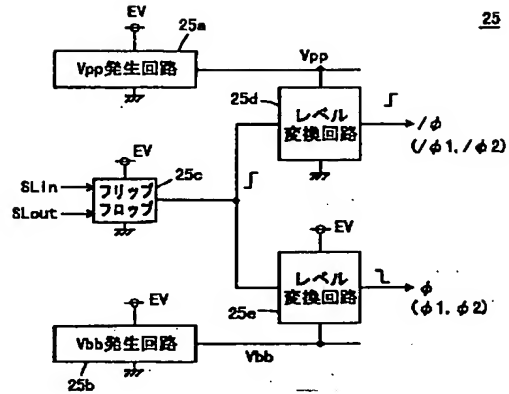
【図13】



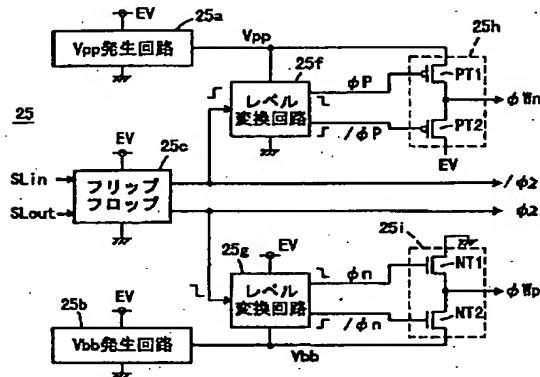
【図15】



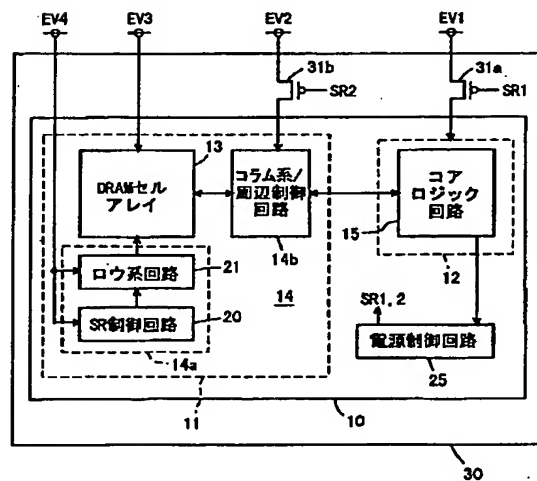
【図11】



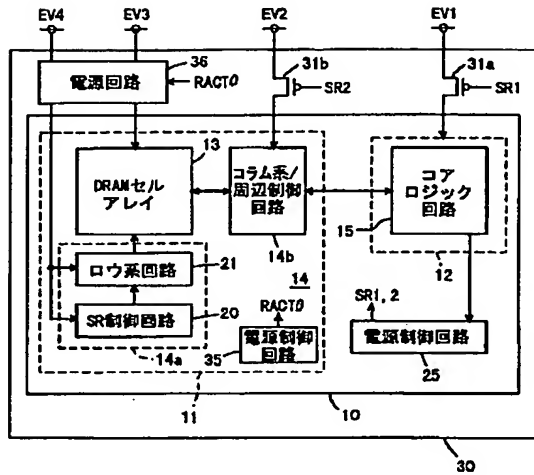
【図14】



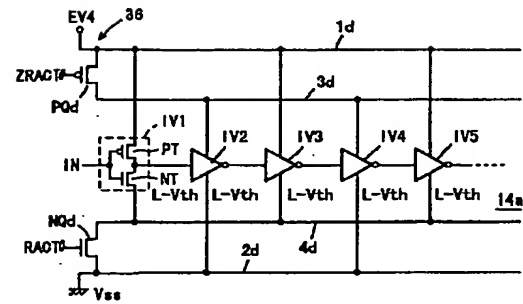
【図16】



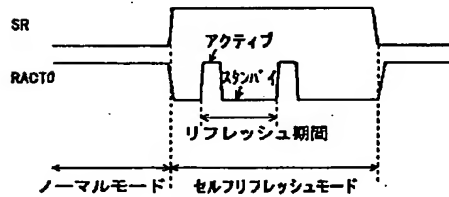
【図19】



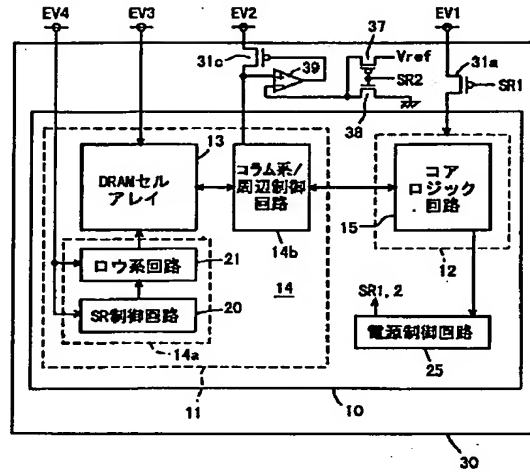
【図20】



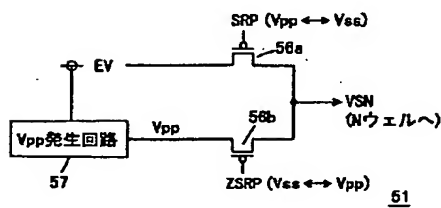
【図21】



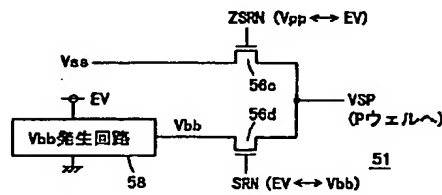
【図23】



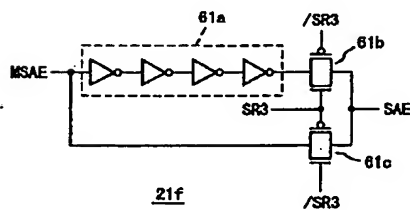
【図25】



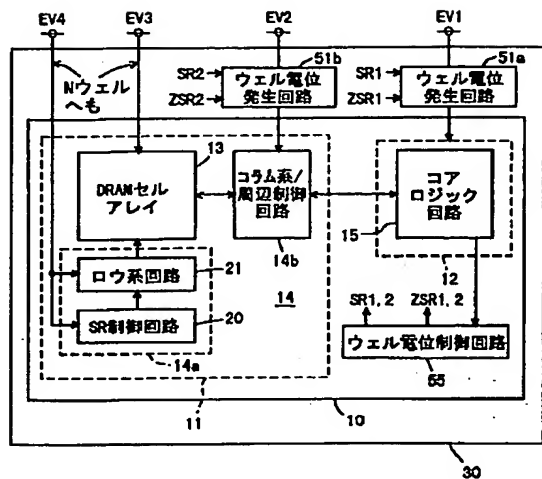
【図26】



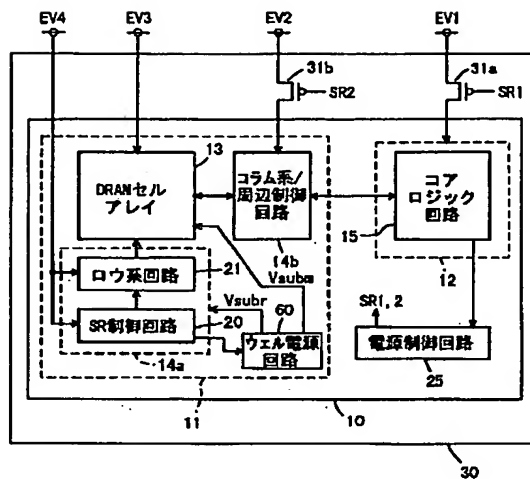
【図33】



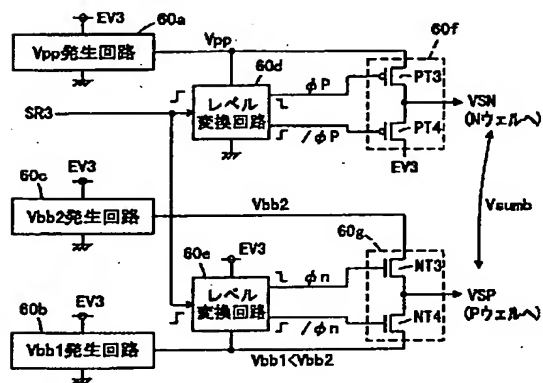
【図24】



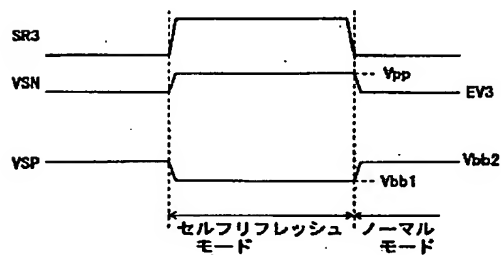
【図27】



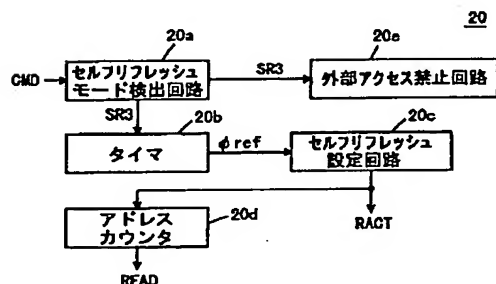
【図28】



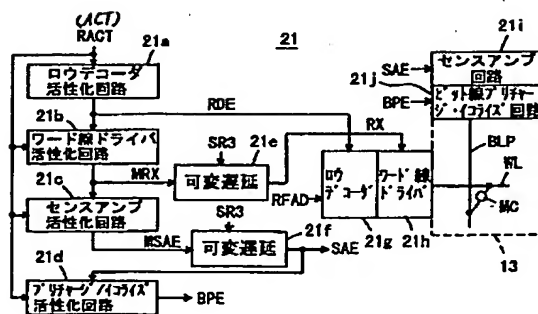
【図29】



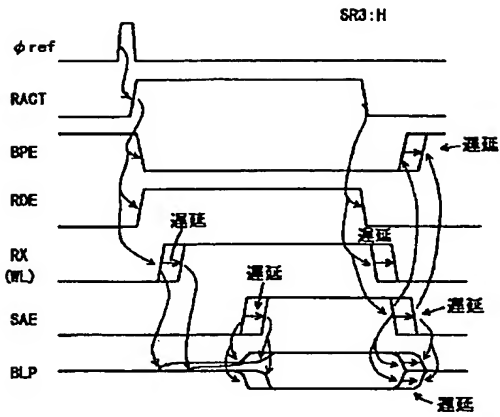
【図30】



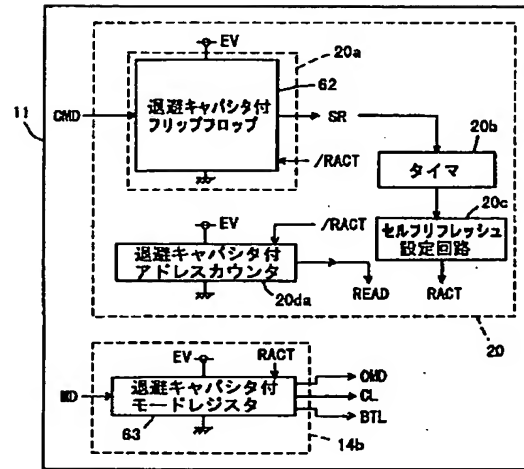
【図31】



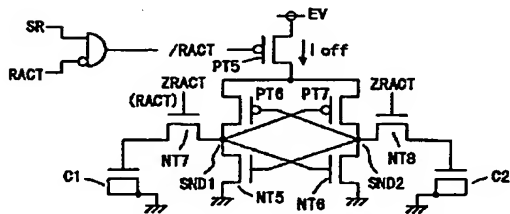
【図32】



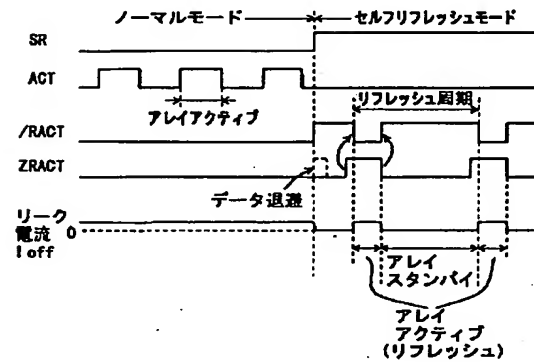
【図34】



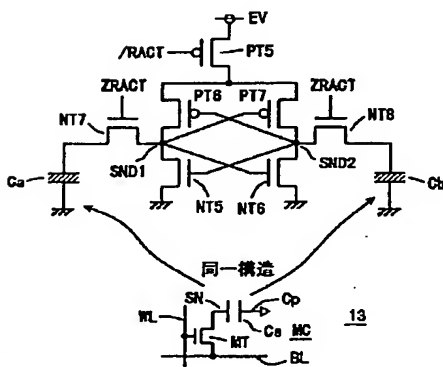
【図35】



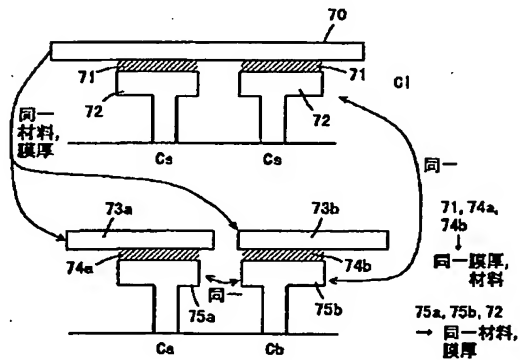
【図36】



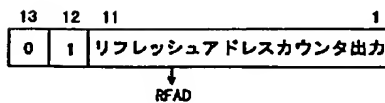
【図37】



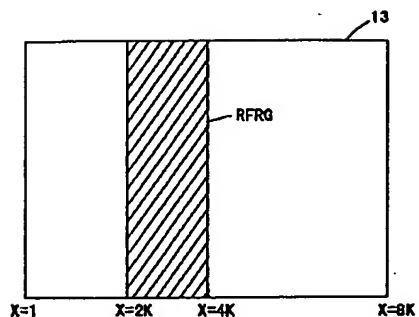
【図38】



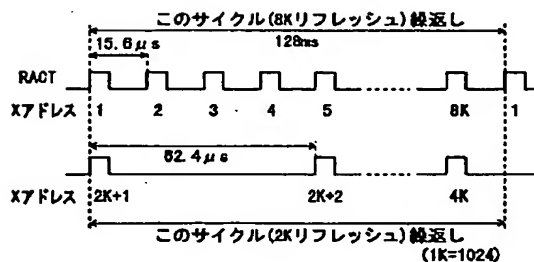
【図46】



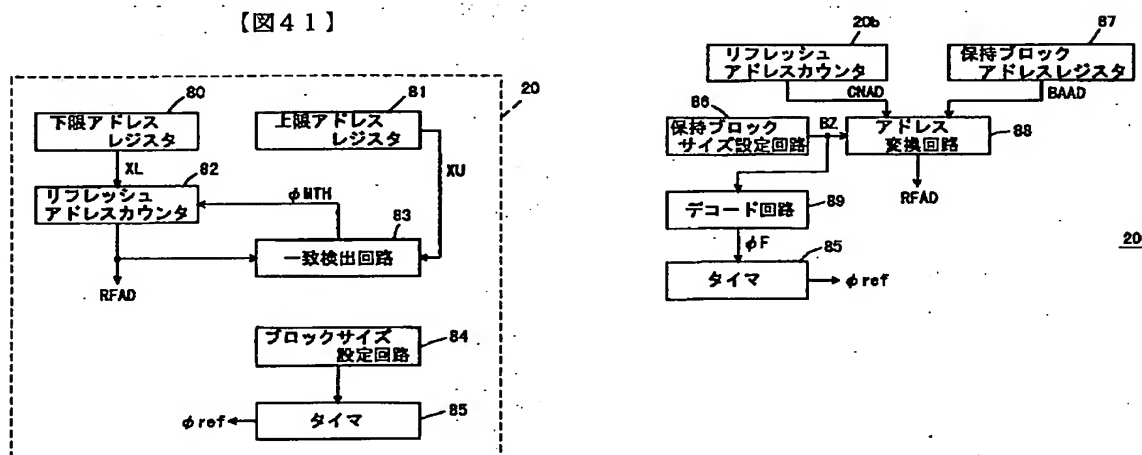
【図39】



【図40】



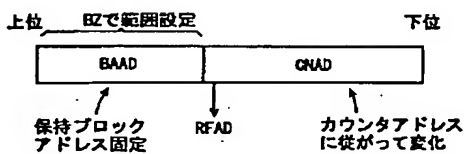
【図42】



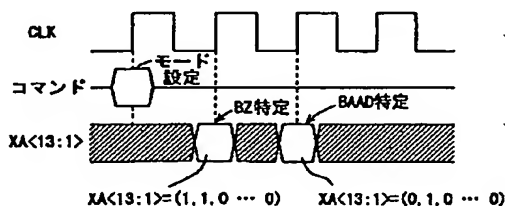
【図43】

	RA13	RA12	RA11
R#0	0	0	0
R#1	0	0	1
R#2	0	1	0
R#3	0	1	1
R#4	1	0	0
R#5	1	0	1
R#6	1	1	0
R#7	1	1	1

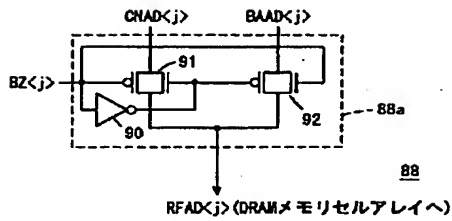
【図44】



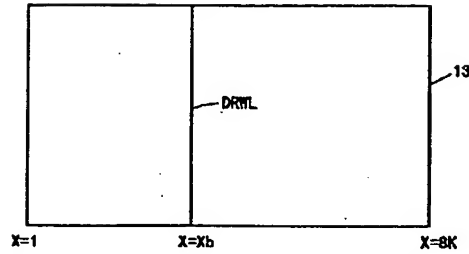
【図45】



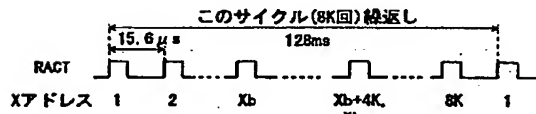
【図47】



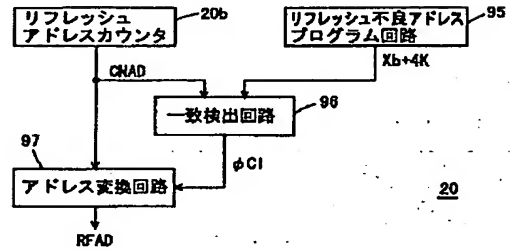
【図48】



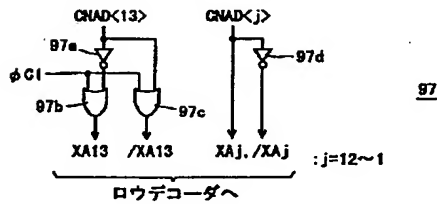
【図49】



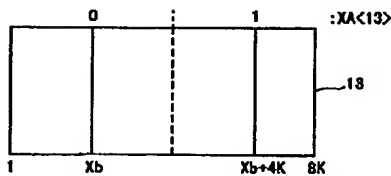
【図50】



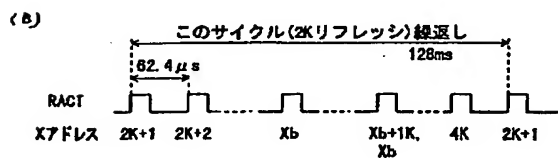
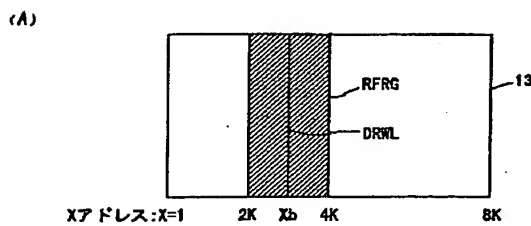
【図51】



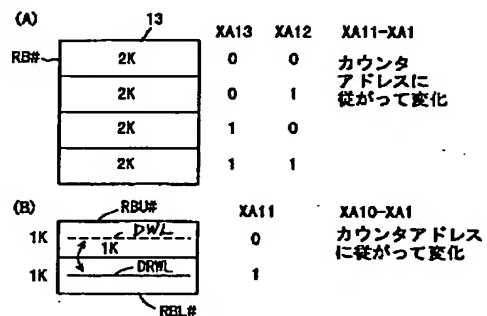
【図52】



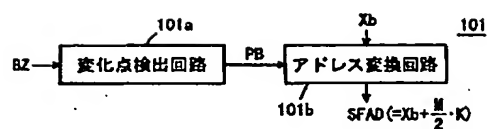
【図53】



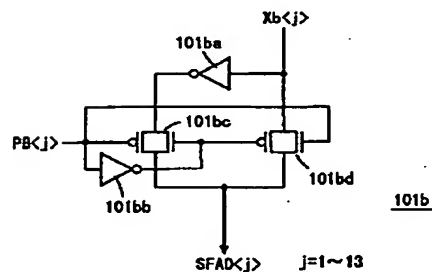
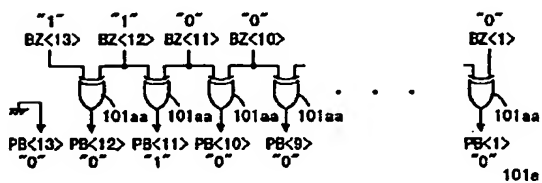
【図54】



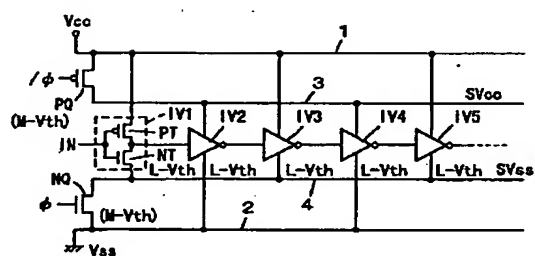
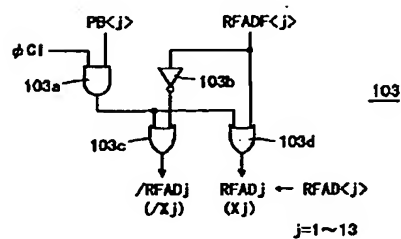
【圖56】



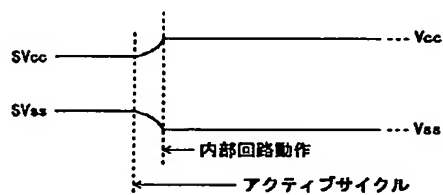
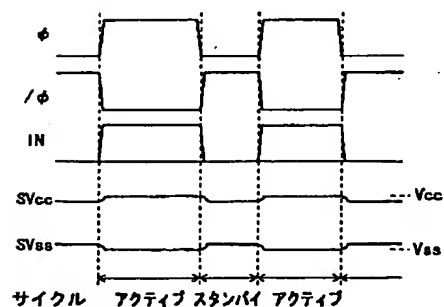
【圖 57】



【圖 60】



【图62】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

タームコード (参考)

H 0 3 K 19/096

H 0 3 K 17/687

F

F ターム (参考) 5B024 AA01 BA27 BA29 DA08 DA18
5J055 AX02 AX13 AX28 AX52 BX16
CX10 DX13 DX14 DX22 DX56
EY21 EZ07 EZ10 EZ12 EZ13
EZ20 EZ26 EZ29 EZ31 EZ33
EZ34 EZ50 EZ51 GX01 GX02
GX04
5J056 BB02 BB17 CC00 CC03 CC04
CC05 CC09 CC14 CC17 CC18
CC21 DD13 DD29 EE11